

PAT-NO: JP410256512A
DOCUMENT-IDENTIFIER: JP 10256512 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: September 25, 1998

INVENTOR-INFORMATION:

NAME
KAJITANI, KAZUHIKO
YAMAGUCHI, YASUNORI
OSHIMA, KAZUYOSHI
YAMAZAKI, TAKASHI
MIYAMOTO, EIJI
SAKAI, YUJI
SAWADA, JIRO
ETO, JUN
HORIGUCHI, SHINJI
IKENAGA, SHINICHI
KUMADA, ATSUSHI
TSUNOSAKI, MANABU
KASAMA, YASUHIRO
UDO, SHINJI
YOSHIOKA, HIROSHI
SAITO, HIROMI
TAKANO, MITSUHIRO
MORINO, MAKOTO
MIYATAKE, SHINICHI
MATSUMOTO, TETSUO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A
KK HITACHI CHIYOU LSI SYST	N/A

APPL-NO: JP10102231

APPL-DATE: March 30, 1998

INT-CL (IPC): H01L027/108, H01L021/8242 , G11C011/401

ABSTRACT:

PROBLEM TO BE SOLVED: To realize a high-capacity semiconductor device by placing first to fourth decoder circuits along connections of first regions and first to fourth memory arrays and fifth to eighth decoder circuits along connections of second regions and first to fourth memory arrays.

SOLUTION: Memory arrays are disposed at four divided areas of a cross area composed of the longitudinal and transverse center zones of a chip; areas A and B are at the left and right of the transverse center zone, areas C and D are the upper and lower parts of the longitudinal center zone, and area E is at the cross section of both zones. Decoders and drivers for selecting the memory arrays are disposed at the periphery of the area A adjacent to the arrays, and bonding pads are disposed at the longitudinal center areas.

COPYRIGHT: (C)1998, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-256512

(43)公開日 平成10年(1998)9月25日

(51)Int.Cl.⁸

H 01 L 27/108
21/8242
G 11 C 11/401

識別記号

F I

H 01 L 27/10
G 11 C 11/34

6 8 1 E
3 7 1 K

審査請求 有 請求項の数29 FD (全100頁)

(21)出願番号

特願平10-102231

(62)分割の表示

特願平8-89911の分割

(22)出願日

平成1年(1989)3月20日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72)発明者 梶谷 一彦

東京都守谷市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74)代理人 弁理士 德若 光政

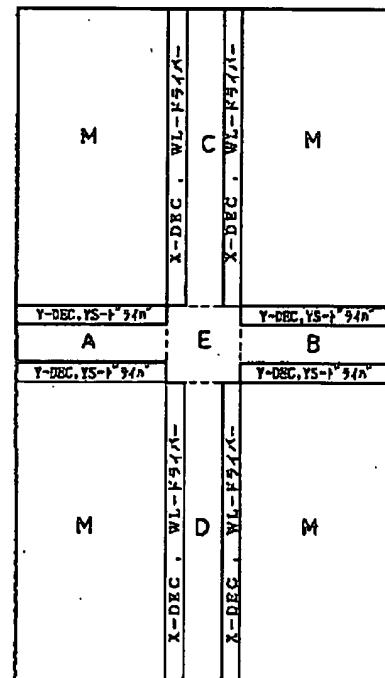
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 高速化を図りつつ大規模集積化を実現した半導体装置を提供する。

【解決手段】 半導体基板正面の実質的に長方形領域にその短辺を横切る中央線に沿って第1方向に延びる第1領域と、その長辺を横切る中央線に沿って前記第1領域と交差する第2方向に延びる第2領域を設けて前記長方形領域を第3、第4、第5及び第6領域に分割して各々に第1、第2、第3及び第4メモリアレイを設け、前記第1領域と、前記第1から第4メモリアレイとのそれぞれの接線に沿って第1、第2、第3及び第4デコード回路を配置し、前記第2領域と、前記第1から第4メモリアレイとのそれぞれの接線に沿って第5、第6、第7及び第8デコード回路を配置し、前記第2領域に設けられた複数のボンディングパッドを設ける。



1

【特許請求の範囲】

【請求項1】 半導体基板正面の実質的に長方形領域内に形成された半導体装置であって、前記長方形領域の短辺を横切る中央線に沿って第1方向に延びる第1領域と、前記長方形領域の長辺を横切る中央線に沿って前記第1領域と交差する第2方向に延びる第2領域と、前記長方形領域において、前記第1領域と第2領域によって分割された第3、第4、第5及び第6領域と、前記第3、第4、第5及び第6領域の各々に設けられた第1、第2、第3及び第4メモリアレイと、前記第1領域と、前記第1から第4メモリアレイとのそれぞれの接線に沿って設けられた第1、第2、第3及び第4デコード回路と、前記第2領域と、前記第1から第4メモリアレイとのそれぞれの接線に沿って設けられた第5、第6、第7及び第8デコード回路と、前記第2領域に設けられた複数のボンディングパッドとを有することを特徴とする半導体装置。

【請求項2】 請求項1において、

前記第1から第4メモリアレイのそれぞれは、前記第1方向に延在する複数のワード線と、前記第2方向に延在する複数のデータ線とを有することを特徴とする半導体装置。

【請求項3】 請求項1又は請求項2において、

前記第1から第4デコード回路は、Yデコーダであり、前記第5から第8デコード回路は、Xデコーダであることを特徴とする半導体装置。

【請求項4】 半導体基板正面の実質的に長方形領域内に形成された半導体装置であって、

前記長方形領域の短辺を横切る中央線に沿って第1方向に延びる第1領域と、

前記長方形領域の長辺を横切る中央線に沿って前記第1領域と交差する第2方向に延びる第2領域と、

前記長方形領域において、前記第1領域と第2領域によって分割された第3、第4、第5及び第6領域と、

前記第3から第6領域の各々において、その短辺方向を横切る中央線に沿って延びる第7、第8、第9及び第10領域と、

前記第3領域内において、前記第7領域の両側に設けられた第1及び第2メモリアレイと、

前記第4領域内において、前記第8領域の両側に設けられた第3及び第4メモリアレイと、

前記第5領域内において、前記第9領域の両側に設けられた第5及び第6メモリアレイと、

前記第6領域内において、前記第10領域の両側に設けられた第7及び第8メモリアレイと、

前記第7から第10領域の各々に設けられた、第1、第2、第3及び第4デコード回路と、

前記第2領域と、前記第1から第8メモリアレイとのそ

50

2

れぞれの接線に沿って設けられた第5、第6、第7、第8、第9、第10、第11及び第12デコード回路と、前記第2領域に設けられた複数のボンディングパッドとを有することを特徴とする半導体装置。

【請求項5】 請求項4において、

前記第1から第8メモリアレイのそれぞれは、前記第1方向に延在する複数のワード線と、前記第2方向に延在する複数のデータ線とを有することを特徴とする半導体装置。

10 【請求項6】 請求項4又は請求項5において、前記第1から第4デコード回路は、Yデコーダであり、前記第5から第12デコード回路は、Xデコーダであることを特徴とする半導体装置。

【請求項7】 請求項4において、

前記第1から第8メモリアレイのそれぞれは、前記第1方向に延在する複数のデータ線と、前記第2方向に延在する複数のワード線とを有することを特徴とする半導体装置。

20 【請求項8】 請求項4又は請求項7において、前記第1から第4デコード回路は、Xデコーダであり、前記第5から第12デコード回路は、Yデコーダであることを特徴とする半導体装置。

【請求項9】 半導体基板正面の実質的に長方形領域内に形成された半導体装置であって、

前記長方形領域の短辺を横切る中央線に沿って第1方向に延びる第1領域と、

前記長方形領域の長辺を横切る中央線に沿って前記第1領域と交差する第2方向に延びる第2領域と、

前記長方形領域において、前記第1領域と第2領域によって分割された第3、第4、第5及び第6領域と、前記第3から第6領域の各々の長辺を横切る中央線に沿って延びる第7、第8、第9及び第10領域と、

前記第3領域内において、前記第7領域の両側に設けられた第1及び第2メモリアレイと、

前記第4領域内において、前記第8領域の両側に設けられた第3及び第4メモリアレイと、

前記第5領域内において、前記第9領域の両側に設けられた第5及び第6メモリアレイと、

前記第6領域内において、前記第10領域の両側に設けられた第7及び第8メモリアレイと、

前記第1領域と、前記第1から第8メモリアレイとのそれぞれの接線に沿って設けられた第1、第2、第3、第4、第5、第6、第7及び第8デコード回路と、

前記第7から第10領域に対応して設けられた、第9、第10、第11及び第12デコード回路と、

前記第2領域に設けられた複数のボンディングパッドとを有することを特徴とする半導体装置。

【請求項10】 請求項9において、

前記第1から第8メモリアレイのそれぞれは、前記第1方向に延在する複数のワード線と、前記第2方向に延在

する複数のデータ線とを有することを特徴とする半導体装置。

【請求項11】 請求項9又は請求項10において、前記第1から第8デコード回路は、Yデコーダであり、前記第9から第12デコード回路は、Xデコーダであることを特徴とする半導体装置。

【請求項12】 請求項9において、

前記第1から第8メモリアレイのそれぞれは、前記第1方向に延在する複数のデータ線と、前記第2方向に延在する複数のワード線とを有することを特徴とする半導体装置。
10

【請求項13】 請求項9又は請求項12において、前記第1から第8デコード回路は、Xデコーダであり、前記第9から第12デコード回路は、Yデコーダであることを特徴とする半導体装置。

【請求項14】 半導体基板正面の実質的に長方形領域内に形成された半導体装置であって、

前記長方形領域の短辺を横切る中央線に沿って第1方向に延びる第1領域と、

前記長方形領域の長辺を横切る中央線に沿って前記第1領域と交差する第2方向に延びる第2領域と、

前記長方形領域において、前記第1領域と第2領域とによって分割された第3、第4、第5及び第6領域と、

前記第3、第4、第5及び第6領域の各々において、その短辺を横切る中央線に沿って延びる第7、第8、第9及び第10領域と、

前記第3、第4、第5及び第6領域の各々において、その長辺を横切る中央線に沿って延びる第11、第12、第13及び第14領域と、

前記第3領域内において、前記第7領域及び第11領域によって分割された領域に設けられた第1、第2、第3及び第4メモリアレイと、

前記第4領域内において、前記第8領域及び第12領域によって分割された領域に設けられた第5、第6、第7及び第8メモリアレイと、

前記第5領域内において、前記第9領域及び第13領域によって分割された領域に設けられた第9、第10、第11及び第12メモリアレイと、

前記第6領域内において、前記第10領域及び第14領域によって分割された領域に設けられた第13、第14、第15及び第16メモリアレイと、

前記第7から第10領域に対応して設けられた第1、第2、第3及び第4デコード回路と、

前記第11から第14領域に対応して設けられた第5、第6、第7及び第8デコード回路と、

前記第2領域に設けられた複数のボンディングパッドとを有することを特徴とする半導体装置。

【請求項15】 請求項14において、前記第1から第16メモリアレイのそれぞれは、前記第1方向に延在する複数のワード線と、前記第2方向に延

在する複数のデータ線とを有することを特徴とする半導体装置。

【請求項16】 請求項14又は請求項15において、前記第1から第4デコード回路は、Yデコーダであり、前記第5から第8デコード回路は、Xデコーダであることを特徴とする半導体装置。

【請求項17】 請求項14において、

前記第1から第16メモリアレイのそれぞれは、前記第1方向に延在する複数のデータ線と、前記第2方向に延在する複数のワード線と、

前記複数のデータ線と複数のワード線の所定の交点に設けられた複数のメモリセルを有することを特徴とする半導体装置。

【請求項18】 請求項14又は請求項17において、前記第1から第4デコード回路は、Xデコーダであり、前記第5から第8デコード回路は、Yデコーダであることを特徴とする半導体装置。

【請求項19】 請求項1から請求項18のいずれか1において、

前記第3領域と前記第4領域は、前記第2領域を挟んで対向し、

前記第5領域と前記第6領域は、前記第2領域を挟んで対向し、

前記第3領域と前記第5領域は、前記第1領域を挟んで対向し、

前記第4領域と前記第6領域は、前記第1領域を挟んで対向し、

前記第2領域には、複数のメインアンプが配置されることを特徴とする半導体装置。

【請求項20】 請求項19において、

前記複数のメインアンプのうち前記第3領域と第4領域との間に配置されたメインアンプは、前記第3領域のメモリアレイのアクセスと、前記第4領域のメモリアレイのアクセスに対して選択的に切り換えられることで共用されることを特徴とする半導体装置。

【請求項21】 半導体基板正面の実質的に長方形領域内に形成された半導体装置であって、

前記長方形領域の短辺を横切る中央線に沿って第1方向に延びる第1領域と、

前記長方形領域において、前記第1領域と第2領域とによって分割された第3、第4、第5及び第6領域と、前記第2領域に設けられた複数のボンディングパッドとを備え、

前記第3領域と前記第4領域は、前記第2領域を挟んで対向し、

前記第5領域と前記第6領域は、前記第2領域を挟んで対向し、前記第3領域と前記第5領域は、前記第1領域を挟んで対向し、

前記第3領域と前記第5領域は、前記第1領域を挟んで

対向し、

前記第4領域と前記第6領域は、前記第1領域を挟んで対向し、

前記第3、第4、第5及び第6領域の各々は、複数のワード線と複数のデータ線の所定の交点に設けられた複数のダイナミック型メモリセルを含むメモリアレイと複数のセンスアンプとを含み、前記2領域には、複数のメインアンプが配置されることを特徴とする半導体装置。

【請求項22】 請求項21において、

前記複数のメインアンプのうち前記第3領域と第4領域との間に配置されたメインアンプは、前記第3領域のメモリアレイのアクセスと、前記第4領域のメモリアレイのアクセスに対して選択的に切り換えられることで共用されることを特徴とする半導体装置。

【請求項23】 請求項21又は請求項22において、前記メインアンプは、前記複数のデータ線に読み出された信号を対応する前記センスアンプで増幅した後に、前記複数のデータ線のうち選択されたデータ線からの信号を外部に出力するために増幅する回路であることを特徴とする半導体装置。

【請求項24】 請求項21から請求項23のいずれか1において、

前記半導体装置は、

前記第1領域と、前記第1から第4メモリアレイとのそれぞれの接線に沿って設けられた第1、第2、第3及び第4デコード回路と、

前記第2領域と、前記第1から第4メモリアレイとのそれぞれの接線に沿って設けられた第5、第6、第7及び第8デコード回路とを有することを特徴とする半導体装置。

【請求項25】 請求項24において、

前記第1から第4デコード回路は、Yデコーダであり、前記第5から第8デコード回路は、Xデコーダであることを特徴とする半導体装置。

【請求項26】 請求項1から請求項25のいずれか1において、

前記複数のボンディングパッドは、前記第2方向に沿って配置されることを特徴とする半導体装置。

【請求項27】 請求項1から請求項26のいずれか1において、

前記第1及び第2領域には、ダイナミック型RAMの周辺回路が配置されることを特徴とする半導体装置。

【請求項28】 請求項1から請求項27のいずれか1において、

前記半導体装置はリード・オン・チップ(LOC)構造のパッケージに搭載されることを特徴とする半導体装置。

【請求項29】 請求項1から請求項28のいずれか1において、前記半導体装置はダイナミック型RAMであ

ることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に関して、例えば約16Mビットのような大記憶容量を持つダイナミック型RAM(ランダム・アクセス・メモリ)のような半導体記憶装置又は半導体装置を利用して有効な技術に関するものである。

【0002】

10 【従来の技術】約16Mビットのような大きな記憶容量を持つダイナミック型RAMの開発が進められている。このようなダイナミック型RAMの例として、例えば日経マグロウヒル社昭和63年3月1日発行『日経マイクロデバイス』誌の頁67～頁81がある。

【0003】

【発明が解決しようとする課題】上記のような大記憶容量化に伴い、メモリチップも必然的に大型化する。それに伴い、素子の微細化や配線の引き回しによる速度の低下に格別の配慮が必要になるものである。すなわち、約

20 16Mビットのような大記憶容量化を実現するには、もはや約1Mビットや約4Mビットのダイナミック型RAMに用いられた技術手法とは異なる新たな技術開発が必要になるものである。

【0004】この発明の目的は、大記憶容量化又は大規模集積化を図った半導体装置を提供することにある。この発明の他の目的は、高速化を図りつつ大規模集積化を実現した半導体装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0005】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、半導体基板正面の実質的に長方形領域にその短辺を横切る中央線に沿って第1方向に延びる第1領域と、その長辺を横切る中央線に沿って前記第1領域と交差する第2方向に延びる第2領域を設けて前記長方形領域を第3、第4、第5及び第6領域に分割して各々に第1、第2、第3及び第4メモリアレイを設け、前記第1領域と、前記第1から第4メモリアレイとのそれぞれの接線に沿って第1、第2、第3及び第4デコード回路を配置し、前記第2領域と、前記第1から第4メモリアレイとのそれぞれの接線に沿って第5、第6、第7及び第8デコード回路を配置し、前記第2領域に設けられた複数のボンディングパッドを設ける。

【0006】前記第3領域と前記第4領域を前記第2領域を挟んで対向するようにし、前記第5領域と前記第6領域を前記第2領域を挟んで対向するようにし、前記第3領域と前記第5領域を前記第1領域を挟んで対向するようにし、前記第4領域と前記第6領域を前記第1領域を挟んで対向するようにし、前記第3、第4、第5及び

第6領域の各々には、複数のワード線と複数のデータ線の所定の交点に設けられた複数のダイナミック型メモリセルを含むメモリアレイと複数のセンスアンプを設け、前記2領域には、複数のメインアンプを配置させる。

【0007】

【発明の実施の形態】図1には、この発明が適用されたダイナミック型RAMの一実施例の基本的レイアウト図が示されている。この実施例においては、メモリの大容量化に伴うチップサイズの大型化による制御信号やメモリアレイ駆動信号といった各種配線長が長くされることによって動作速度も遅くされてしまうのを防ぐ等のために、RAMを構成するメモリアレイ部とそのアドレス選択等を行う周辺部との配置に次のような工夫を行うものである。

【0008】同図において、チップの縦中央部と横中央部とから形作られる十文字エリアが設けられる。この十文字エリアには主に周辺回路が配置され、上記十文字エリアにより4分割されたエリアにはメモリアレイが配置される。上記の十文字エリアは、同図に示すようにエリアAないしDのそれぞれに分けられる。すなわち、エリアAはチップの横中央左側部であり、エリアBはチップの横中央右側部である。エリアCはチップの縦中央上側部であり、エリアDはチップの縦中央下側部である。そして、エリアEは、上記チップの横中央部と縦中央部とが交差するチップ中央部である。

【0009】この実施例のメモリチップは、上記エリアAないしEからなる十文字エリアにより4つに分割されたエリアにメモリアレイが構成される。特に制限されないが、上記4つのメモリアレイは、後述するようにそれぞれが約4Mビットの記憶容量を持つようになる。これに応じて4つのメモリアレイ全体では、約16Mビットの大記憶容量を持つものとされる。

【0010】上記十文字エリアのうち、それぞれのメモリアレイと隣接する周辺部には、メモリアレイの選択動作を行うデコーダ及びドライバが配置される。すなわち、エリアAとBのうち、上下に分割された2個づつのメモリアレイに対応して、Y(カラム)デコーダ(Ydec)とYセレクト(カラム選択)ドライバ(YSドライバ)がそれぞれ配置される。エリアCとDのうち、左右に分割された2個づつのメモリアレイに対応して、X(ロウ)デコーダ(Xdec)とワード線ドライバ(WLドライバ)がそれぞれ配置される。それ故、4つに分割されたメモリアレイは、横方向にワード線が延長されて配置され、縦方向にデータ線(ビット線又はディジット線)が延長されて配置される。ただし、上記のように1つのメモリアレイが約4Mビットもの大記憶容量を持つものであるため、1つのデータ線等に接続されるメモリセルの数が膨大となり実際的でない。したがって、各メモリアレイは後述するように複数からなるメモリマットからそれぞれ構成される。

【0011】上記十文字エリアの各エリアAないしEの残りの部分には次のような主要な回路ブロックがそれぞれ配置される。エリアAとエリアBには、アドレスバッファ、アドレス比較回路(冗長用デコーダ)、制御クロック発生回路及びデータ入力バッファ等が配置される。エリアCとエリアDには、コモンソーススイッチ回路、センスアンプ制御信号回路、マット選択制御回路、メインアンプ等が配置される。そして、中央エリアEには、Xデコーダ、Yデコーダ用アドレス信号発生回路、内部降圧電源回路等が配置される。

【0012】図2には、この発明に係るダイナミック型RAMの一実施例の全体レイアウト図が示されている。すなわち、上記エリアAに対応した部分には、Yアドレスバッファ、Y冗長回路及びYアドレスドライバ(論理段)とからなるY系回路と、テスト機能回路及びCAS系制御信号回路が設けられる。このエリアAの中央寄りには、約5Vのような外部電源電圧VCCEを受けてメモリアレイに供給される約3.3Vのような電圧に変換させる内部降圧電圧VDLリミッタ回路と、DV1ないしDV3で示したYアドレスドライバ、Xアドレスドライバ及びマット選択ドライバがそれぞれ設けられる。

【0013】上記エリアBに対応した部分には、Xアドレスバッファ、X冗長回路及びXアドレスドライバ(論理段)とからなるX系回路と、RAS系制御信号回路、WE系信号制御回路、データ入力バッファが設けられる。このエリアBの中央寄りには、約5Vのような外部電源VCCEを受けて周辺回路に供給される約3.3Vのような電圧に変換させる内部降圧電圧VCCRリミッタ回路とDV1ないしDV3で示したYアドレスドライバ、Xアドレスドライバ及びマット選択ドライバがそれぞれ設けられる。

【0014】上記エリアAとBのように、アドレスバッファとそれに対応したアドレス比較回路を含む冗長回路、制御クロック発生を行うCAS、RAS系制御信号回路等を一個所に集中配置すると、例えば配線チャンネルを挟んでクロック発生回路と他の回路を振り分けること、言い換えるならば上記配線チャンネルを共用化することによって高集積化が可能になるとともに、アドレスドライバ(論理段)等に最短で等距離で信号を伝えることができるから高速化が図られる。

【0015】上記エリアCに対応した部分には、このエリアCの中心軸に対して対称的に配置される合計8個のメモリマットに対応した4個のメインアンプ、内部昇圧電圧回路VCHG、基板電圧発生回路VBBG、及び上記同様にエリアCの中心軸に対して対称的に配置された残り合計8個からなるメモリマットに対応した4個のメインアンプが設けられる。それ故、この実施例では1つのメモリアレイには8個のメモリマットが配置され、上記エリアCを中心として対称的に配置される2つのメモリレイにより、合計16個のメモリマットが設けられ

ることになる。このようにメインアンプを配置することによって、メインアンプの数を減らすことができるとともに、その信号伝播距離も短くできるから高速化が可能になる。

【0016】上記エリアDに対応した部分には、このエリアDの中心軸に対して対称的に配置される合計8個のメモリマットに対応した4個のメインアンプ、4個からなるデータ出力バッファ、及び上記同様にエリアDの中心軸に対して対称的に配置された残り合計8個からなるメモリマットに対応した4個のメインアンプが設けられる。それ故、この実施例では上述のように4個のメモリアレイから構成されるから、メモリマットの数は全体で32個から構成される。

【0017】特に制限されないが、この実施例では、上記縦中央部のエリアに小さな□で示したポンディングパッドが配置される。このポンディングパッドの詳細な配置は、図3のレイアウト図に具体的に示されている。同図において、□で示したポンディングパッドのうち、黒く塗りつぶしたものは、外部電源供給用のパッドである。すなわち、入力のレベルマージンを大きくするため、言い換えるならば電源インピーダンスを低くするために回路の接地電位を供給するパッドVSSは、合計で13個一直線上に並んで配置される。

【0018】これらのパッドVSSは、LOC技術により形成される縦方向に延びる接地電位用リードに接続される。これらパッドVSSのうち、エリアCとDにそれぞれ1個設けられたパッドは、ワード線のクリア、ワードドライバの非選択ワード線のカップリングによる浮き上がり防止用の接地電位として用いられる。エリアC、Dにそれぞれ2個設けられたパッドは、センスアンプのコモンソースVSS用として設けられ、コモンソースの配線抵抗を下げ高速化を実現する。エリアDには、上記の他データ出力バッファ用のもの2個、エリアEにはXアドレスバッファ、Yアドレスバッファに接地電位を供給すると同時に電源発生回路に対応したものが設けられる。そして、エリアCとDにそれぞれ1個、またエリアEに設けられる2個のパッドは、その他の周辺回路に対応したものである。

【0019】これにより、回路の接地電位は内部回路の動作に対して電源インピーダンスが低くされ、かつ上記のごとく5種類に分けられた内部回路間のVSS配線が、LOCリードフレームとポンディングワイヤとからなるローパスフィルタで接続されることになるからノイズの発生を最小に抑えるとともに、内部回路間のVSSノイズの伝播も最小に抑えることができる。

【0020】約5Vのような外部電源VCEEに対応したパッドは、上記電圧変換動作を行う内部降圧電圧発生回路VCCリミッタ、VDLリミッタに対応して中央部に2個、データ出力バッファに対応した位置に1個設けられる。これも上記同様に電源インピーダンスを低くす

10

るとともに、内部回路間の電圧(VCC、VDL及びVCEE間)のノイズ伝播を抑えるためのものである。

【0021】アドレス入力用のパッドA0～A11は、中央部にまとめて配置される。これは、XアドレスバッファとYアドレスバッファの配置に合わせて近接して設けることによって、信号の伝達距離を最小にし高速化を図るためのものである。

【0022】制御信号用のパッドRASB、CASB、WEB、OEBは、それぞれに対応した回路に近接して配置される。ここで、各記号の末尾に付された文字Bは、ロウレベルがアクティブルレベルであるバー信号であることを表している。ただし、図面上では、従来の論理記法に従って、各記号の上にオーバーバーを付して表している。このことは、以下の説明及び図面においても同様である。データ出力用のパッドDQ1～DQ4は、各データ出力バッファに設けられる。パッドDは、×1ビット構成のときのデータ入力用であり、Qは×1ビット構成のときのデータ出力用である。以上が外部ピン用のパッドである。

20

【0023】この実施例では、上記のような外部ピン用の他にポンディングマスター用、モニタ用及びモニタ用パッド制御のために以下のパッドが設けられる。ポンディングマスター用としてはパッドFPOとFP1が設けられる。FPOはSC(スタティックカラム)モードを指定するためのものであり、FP1はNB(ニブル)モード及び×4ビット構成時のライトマスク機能を指定するためのものである。モニタ用としてはパッドVCC、VDL、VL、VBB、VCH及びVPLがある。

30

【0024】これらのパッドは、それに対応した各内部電圧VCC、VDL、VL、VBB、VCH及びVPLをモニタするためのものである。VCCは、約3.3Vの周辺回路用電源電圧であり、VDLは約3.3Vのメモリアレイ、すなわち、センスアンプに供給される電源電圧であり、VCHは上記内部電圧VDLを受けて約5.3Vに昇圧されたワード線の選択レベル、シェアードスイッチMOSFETを選択するブースト電源電圧、VBBは-2Vのような基板バックバイアス電圧、VPLはメモリセルのプレート電圧、VLは約3.3VのVCCリミッタ、VDLリミッタ用基準電圧である。モニタ用パッドの制御用としてはパッドVBT、VHT及びVPLGがある。これらの機能は、後のモニタ電圧機能の説明から明らかになろう。

40

【0025】この実施例では、ポンディングパッドは、2列に配置される。しかも、そのピッチを約半ピッチ分だけずらして交互に配置する。言い換えるならば、複数個からなるポンディングパッドをジグザグに配置する。これより、パッド相互間の実質的な間隔を長くすることができる。言い換えるならば、比較的狭いエリアに高い密度で多数のポンディングパッドを配置することができるものである。

50

11

【0026】ポンディングパッドは、ワイヤーポンディング等のポンディングのための比較的大きな占有面積を必要とすること、及び静电破壊防止回路を設けることが必要であるからそのピッチを比較的大きくとることが必要である。それ故、この実施例のようなジグザグ配列とすることによって、比較的狭いエリアに多数のポンディングパッドを配置することが可能になる。また、縦長のチップの縦中央部にポンディングパッドを配置する構成では、上記のようにより多数のパッドを設けることができるものである。

【0027】図4には、上記構成のメモリアレイに対するアドレス割り付けの一実施例のブロック図が示されている。この実施例のRAMは、前記のように約16Mビットの記憶容量を持つ。そして、アドレス信号は、Xアドレス信号とYアドレス信号とがアドレスストローブ信号RASBとCASBに同期して時系列的に供給されるというアドレスマルチプレックス方式を探る。それ故、アドレス信号としては、Xアドレス信号がX0～X11の12ビット、Yアドレス信号がY0～Y11の12ビットからそれぞれ構成される。

【0028】同図において、アドレス信号X0～X11は、外部から供給されるアドレス信号がハイレベルのとき選択状態を意味するトルー信号であり、アドレス信号X0B～X11Bは、外部から供給されるアドレス信号がロウレベルのとき選択状態を意味するバー信号である。同様に、アドレス信号Y0～Y11は、外部から供給されるアドレス信号がハイレベルのとき選択状態を意味するトルー信号であり、アドレス信号Y0B～Y11Bは、外部から供給されるアドレス信号がロウレベルのとき選択状態を意味するバー信号である。

【0029】メモリマットは、センサアンプを挟んだ2つの領域SLとSRと、それに対応したXデコーダ及びワード線ドライバ及びカラム選択回路を最小の単位とし、上記のように4分割されてなるメモリアレイには8個の単位のメモリマットが配置される。これらの単位のメモリマットは、MS0L, MS0RないしMS3L, MS3Rのように8種類に分けられる。上記のように4つに分割されるメモリアレイがそれぞれ8個の単位のメモリマットを持つから、MS0L, MS0RないしMS3L, MS3Rは、それぞれ4個づつの単位のメモリマットに割り当てられる。

【0030】上記単位のメモリマットのXデコーダには、アドレス信号X0～X7の8ビットのアドレス信号と、センサアンプを挟んだ2つの領域を指定するSL, SR信号と、そのメモリマットを指定するMS0L/R～MS3L/Rの信号が供給される。1つのメモリマットは512本のワード線を持つ。上記単位のメモリマットは、センサアンプを中心として左右に相補データ線（ビット線又はディジット線）が配置されるといふいわゆるシェアードセンサアンプ方式を探る。そして、この

(7) 12

左右のアドレス指定用信号SL, SRにアドレス信号X8とX8Bが用いられる。それ故、Xデコーダ回路は実質的にX0～X8の9ビットのアドレス信号を解読して1つのワード線の選択動作を行う機能を持つ。

【0031】アドレス信号X9ないしX11の3ビットのアドレス信号は、マット選択信号MS1L/Rを形成する。すなわち、アドレス信号X9とX9Bは、同図に代表として例示的に示されているメモリマットMS0LとMS1Lのように隣接するメモリマットを選択し、ア

10 ドレス信号X11とX11Bは、同図に代表として例示的に示されているメモリマットMS0L及びMS1LとメモリマットMS0R及びMS1Rのように上記隣接する2つのメモリマットを1組として、左右からなる2組のメモリブロックのうちのいずれかを選択する。そして、アドレス信号X10とX10Bは、同図の縦中央部のエリアにより分けられたメモリアレイのいずれかを選択するために用いられる。上記のような3ビットからなるアドレス信号の組み合わせにより、各単位のメモリマットには、上記のような8通りのアドレス割り当てMS0～3L/Rが指定される。

【0032】ロウアドレスストローブ信号RASBに同期してXアドレス信号が取り込まれると、X系の選択動作が行われる。このとき、上記のようなアドレス割り付けにより、上記4つのメモリアレイのうち、アドレス信号X10とX10Bに応じて上記縦中央部のエリアを挟んで2づつに分けられたメモリアレイのうちいずれ一方が選択される。そして、アドレス信号X11とX11Bに応じてR又はしが付加されたいずれか1つのメモリマットが選択され、アドレス信号X9とX9Bにより隣接30するメモリマットのうち一方が指定されることになる。したがって、全体で32個のメモリマットのうち、4個のメモリマットにおいてそれぞれ残りの9ビットからなるアドレス信号（X0～X8）により指定される1本のワード線が選ばれることになる。

【0033】各メモリアレイ（合計8個のメモリマット）に対応して設けられるYデコーダは、Yアドレス信号Y2ないしY9を解読してメモリアレイの相補データ線を選択する。すなわち、上記Y2ないしY9からなる8ビットのアドレス信号の解読により、1/256のアドレス選択動作を行う。ただし、カラム選択回路は、4ビットの単位で相補データ線の選択動作を行うものである。それ故、1つのメモリマットは、 $512 \times 256 \times 4$ の記憶容量を持ち、1つのメモリアレイには8個のメモリマットが設けられるから、メモリアレイ全体では $512 \times 256 \times 4 \times 8 = 4194304$ の約4Mビットの記憶容量を持つものとなる。したがって、DRAM全体では4つのメモリアレイにより構成されるから約16Mビットの大記憶容量を持つものとなる。

【0034】ここで、メモリマットMS0LないしMS3Lからなる4つのメモリマットを1組とし、それと隣

接するメモリマットMS0RないしMS3Rからなる4つのメモリマットを他の1組として合計8個のメモリマットにより1つのメモリブロックが構成される。このメモリブロックに対して4つからなるメインアンプMAが設けられる。

【0035】上記のようなロウ系のアドレス確定により、上記のような1つのメモリブロックを構成する8個からなるメモリマットMS0しないしMS3LとMS0RないしMS3Rのうち、前記のようにアドレス信号X10, X10BとX11, X11B及びX9, X9Bからなる3ビットのアドレス信号により1つのメモリマットが選択されて上記4ビットからなる信号が上記4つのメインアンプに対応して出力される。

【0036】Yアドレス信号のうち、アドレス信号Y0とY1により、上記4つのメインアンプAS0～AS3のうち1つが選択される。そして、残りのアドレス信号Y10とY11により、4組からなるメインアンプ群N A0～NA3のうち1つが選ばれる。このようにして、上記4ビットからなるアドレス信号Y0, Y1及びY10とY11により合計16個のメインアンプの中の1つが活性化されて1ビットの読み出し信号がデータ出力回路を通して出力される。

【0037】4ビット単位でメモリアクセスする場合には、特に制限されないが、アドレスY10とY11を無効にして、4組のメインアンプ群の中からアドレス信号Y0とY1により指定される合計4個のメインアンプの信号をパラレルに出力させるようすればよい。さらに、二ブルモードでの読み出し動作では、特に制限されないが、上記メインアンプをアドレス信号Y0とY1又はY10とY11をアドレス歩進させてシリアルに4ビットを出力させることができる。

【0038】図7には、上記電源供給線とそれに関連する内部電源回路とパッドの関係を具体的に説明するための概略レイアウト図が示されている。1は、外部電源用のパッドVCCEであり、そこから配線層で内部降圧電源回路(VCC)3に上記電源電圧を供給する。内部降圧電源回路(VCC)3は、上記約5Vのような電源電圧VCCEの電源供給を受け、前記のような基準電圧VLに従った約3.3Vのような周辺回路用の内部電圧VCCを形成する。

【0039】この電圧VCCは、配線5により横方向に延長されてアドレスバッファやデコーダ等への動作電圧供給に用いられる。また、配線5は、約中央部で2つに分岐して上下縦方向に延長される。これは、前記のようなXデコーダ、メインアンプ等の電源供給に対応している。上記配線5は上記のように上下方向に分岐して延長されるとともに、Yデコーダや、冗長回路に対応した個所で複数分岐して横方向に延長される。

【0040】2は、外部電源用のパッドVCCEであり、そこから配線層で内部降圧電源回路(VDL)4に

電源電圧VCCEを供給する。内部降圧電源回路(VDL)4は、上記約5Vのような電源電圧VCCEの電源供給を受け、前記のような基準電圧VLに従った約3.3Vのようなメモリアレイ(センスアンプ)の動作電圧VDLを形成する。この電圧VDLは、配線6により全体として日の字状に配置される。すなわち、配線6は、内部降圧電源回路(VDL)4の出力点からいったん横方向に延長し、上記縦方向に延長される配線5を内側に取り囲むような長方形形状に配置される。このようにして配線6は、上記日の字を形作るようにされる。7は、データ出力バッファ及びガードリング用の電源パッドであり、そこから左右に延長されるとともに、縦中央部のパッドやメインアンプ等を囲むように上下に平行に配置される。そして、上下の両端部ではチップの全体を取り囲むように形成される。これによりガードリング機能が持たせられる。

【0041】図8には、上記回路の接地線とそれに関連する内部電源回路とパッドの関係を具体的に説明するための概略レイアウト図が示されている。チップの中央部上下端に設けられた11は、ワードクリア、ワード線ラッチ用の接地電位供給用のパッドVSSであり、そこからいったん横方向に延びて、ワードドライバに相当する個所で分岐して上下方向に延長される。また、上記横方向に延長され、ワードクリア部に相当する端部では上下方向に延びて互いに接続される。12は、センスアンプのコモンソース用の接地電位パッドであり、センスアンプを活性化するための接地電位を供給する。

【0042】この実施例では、横中央部に対して上下対称的に配置される。上側では、上記パッドは2個所設けられそこからそれぞれ横方向に延長され、センスアンプに接地電位を供給するパワースイッチMOSFETが設けられる個所に対応して上下方向に延長される。13は、データ出力バッファに接地電位を供給するものであり、4つのデータ出力バッファに対応して配置される2個のパットとそれを接続する配線から構成される。14は、内部降圧電源回路VCC、VDLとアドレスバッファ用の接地電位パッドであり、左右横方向に延長される配線に接続される。15は、その他の回路用の接地電位パッドであり、上記デコーダ回路や、メインアンプ等上記以外の回路に接地電位を供給するためのもである。それ故、接地電位を供給する回路の対象が多く、かつ広範囲にわたっているため、パッドの数も4個と多く、それらに接続される配線もそれぞれの回路に対応して同図のように横、縦方向に比較的複雑に延長される。

【0043】この実施例では、上記のように接地線は、それぞれの回路機能に応じて1ないし5種類に分けられ、LOC構成のリードフレームにより共通に接続される。これにより、上記のように接地線が分けられた回路間相互でのノイズリークすることが抑えられるからノイズマージンを大きくすることができる。例えば、ノイズ

マージンがきびしいアドレスバッファには、独立したパッド14と比較的短い配線により接地電位が与えられるから十分な入力ノイズマージンを確保することができ。このことは、センサアンプ等のようにその動作によって接地線に比較的大きなノイズを発生する個所を、上記のようなノイズにきびしい回路と実質的に分離することをねらったものである。

【0044】図9(A)と(B)には、上記のようなボンディングパッドに対応して設けられる入力保護回路の具体的なレイアウト図とその断面図が示されている。この実施例において、特に制限されないが、レイアウト図(A)とその一部断面図(B)から明らかなように、保護素子としてはN⁺-PWELL(基板)-N⁺のラテラル型のバイポーラトランジスタが用いられる。

【0045】この場合、エミッタとしては電圧V_{CCE}とV_{SS}の双方を用いる。入力に高電圧(正/負)が印加されると、このラテラルトランジスタで電位が緩和されるが、この実施例では、同図(A)のレイアウト図に示すようにさらにポリシリコンからなる高抵抗素子で入力ゲートに伝えられる電位を下げるようしている。この高抵抗素子の抵抗値は、入力信号の伝達スピードの観点からあまり高くできないが、300Ωないし500Ω程度が信号伝達機能と保護機能の点から妥当である。

【0046】NWE LL(N型ウェル領域)の周辺に設けられるN⁺により構成されるガードリングは、入力部の異常電圧が周辺回路に悪影響を及ぼさないようにするためのものである。このガードリングには外部から供給される電圧V_{CCE}が供給される。この実施例のように、ボンディングパッドをチップの中央部に配置した場合、従来のようにチップの周辺部に設ける場合に比べてサージ電圧の影響をメモリアレイや周辺回路が受け易い。それ故、ボンディングパッドを上述のようにウェル付き拡散層としてのガードリングで囲み、そこに外部電源電圧V_{CCE}レベルを供給して基板を通したサージ電圧の影響を小さくする。

【0047】この実施例のようにラテラル型のバイポーラトランジスタを用いたねらいは次の通りである。ラテラル型トランジスタは、面積が小さくできるので、コレクタ、エミッタとなるN⁺拡散層の対向長(ベース幅)を大きくして単位長当たりの電流値を小さくして電流の集中を防ぐこと、及びそれを形成するのに特別なプロセスを追加する必要がない。

【0048】同図において、AL2は2層目のアルミニウム層であり、AL1は1層目のアルミニウム層である。また、SILはパッシベーションの開口層であり、TCは2層目アルミニウム層AL2と1層目アルミニウム層AL1とを接続するスルーホールである。

【0049】図10には、外部電源電圧V_{CCE}パッドに設けられる入力保護回路の具体的なレイアウト図が示されている。V_{CCE}パッドに高電圧が印加されたとき、

10

20

30

40

50

NWELL-PWELL(基板)-NWELLのラテラル型バイポーラトランジスタで電荷を接地電位V_{SS}に逃がすようにする。この保護素子はチップの縦中央部上下端に設けられる。これにより、後述するようなLOC構造でチップ中央部を縦方向に走るリードの入口で高電圧が下降するようになる。このような構成を探ることによって、電源パッドが複数個所設けられるのに対して一対一に対応して保護素子を設けるのではなく、リードの入口付近の一対からなるパッドにのみ保護素子を設けることよりリードの中央部に対応したパッドには高電圧がかからないようになることができる。

【0050】図11には、半導体チップ周辺部のレイアウト図が示され、図12には図11の一部と図示しないメモリセルの断面図が示されている。この実施例では、上述のようにチップの縦横中央部に周辺回路やボンディングパッドを配置する構成を探る。それ故、チップの周辺部や四隅までメモリアレイが配置されることになる。この場合、チップの四隅(コーナー)では、パッケージのレジンによる応力でパッシベーション等にクラックが発生する虞がある。

【0051】これを防ぐために、言い換えるならば、機械的強度を強くするために、同図に示すようにメモリアレイの工程を利用して、FG(MOSトランジスタのポリシリコンゲート電極)、WSi/PolySi(相補データ線を形成するポリサイド層)を設ける。そして、図12の概略断面図に示されているように層間絶縁膜を介して第1層目のアルミニウム層AL1、第2層目のアルミニウム層AL2を重ね合わせる。このようなゆるやかな段差をチップのコーナー部に設けることにより、レジンによる応力が直接にメモリアレイ部に加わるのを防ぐ。また、コーナー部のFG、WSi/PolySiの長さを長くすることにより応力を分散することができる。

【0052】図11のレイアウト図及び図13の断面図に示されているように、半導体チップの最外周にはP⁺拡散層が配置され、そこに1層目アルミニウムAL1、2層目アルミニウム層AL2により基板バイアス電圧V_{BB}が供給される。そして、その内側にはNWE LLがガードリングとして配置され、その中央部にオーミックコンタクト用のN⁺が形成され、そこに1層目アルミニウムAL1、2層目アルミニウム層AL2により外部電源電圧V_{CCE}が供給される。

【0053】上記NWE LLによるガードリングは、基板バックバイアス電圧発生回路V_{B BG}により形成された約-2Vのような電圧が、何等かの理由に急激に変化したとき、基板バイアス電圧V_{BB}が印加されるP⁺拡散層から発生するマイノリティ(少数)キャリアを吸収する作用を持つ。これにより、上記P⁺拡散層から発生したマイノリティキャリアがメモリアレイ側に進行してメモリセルの記憶用キャバシタに蓄積された情報電荷と結合して、情報量が減少しない破壊されてしまうのを防

止することができる。

【0054】図5には、この発明に係るダイナミック型RAMにおける制御信号に着目したブロック図が示されている。同図は、図2等に示したレイアウト図に対応して描かれている。RAS系のコントロール回路は、信号RASBを受けてXアドレスバッファを活性化するために用いられる。

【0055】Xアドレスバッファに取り込まれたアドレス信号はX系の冗長回路に供給される。ここで、記憶された不良アドレスとの比較が行われて、冗長回路への切り換えることの有無が判定される。その結果と上記アドレス信号とは、X系のプリデコーダに供給される。ここで、XiとAXn1からなるプリデコード信号が形成され、各メモリアレイに対応して設けられるXアドレスドライバXiB、AXn1を介して、前記のようなメモリマットに対応して設けられるそれぞれのXデコーダに供給される。同図においては、1つのドライバのみが代表として例示的に示されている。

【0056】一方、上記RAS系の内部信号は、WE系のコントロール回路とCAS系のコントロール回路に供給される。例えば、RASB信号とCASB信号及びWEB信号との入力順序の判定から、自動リフレッシュモード(CBR)、テストモード(WCBR)等の識別が行われる。

【0057】テストモードのときには、テスト回路が活性化され、そのとき供給される特定のアドレス信号に従いテストファンクションが設定される。上記Xアドレスバッファに取り込まれたアドレス信号のうち、メモリマットの選択を指示するアドレス信号はマット選択回路MSiL/Rに伝えられ、ここから各メモリアレイに設けられた複数のメモリマットのうちいずれかが選択される。ここで、メモリマットに対応して設けられるCSは、コモンソーススイッチMOSFETである。

【0058】前記図4に示したアドレス割り付けのように、4つのメインアンプMAは、それを中心にして左右対称的に設けられた合計8個のメモリマットからの4対の相補データ線(4ビット)に対応している。メモリマット選択信号MSiL/Rにより上記8つのメモリマットのうち1つが選ばれる。このような選択動作を行うのが単位マット制御回路UMCである。同図には、4対のメインアンプMAが1組として例示的に示されており、残り3組のメインアンプは破線によりブラックボックスとして示している。

【0059】マット選択回路MSiL/Rは、選択信号MSOL/RないしMS3L/Rを形成する。例えばMSOLが形成されると、図4に示すMSOLに対応した4つのメモリマットMSOLは、それから4ビットの入出力ノードを持つからそれが上記4個づつのメインアンプMAに対応される。

【0060】CAS系のコントロール回路は、信号CASBを受けてY系の各種制御信号を形成するために用いられる。信号CASBのロウレベルへの変化に同期してYアドレスバッファに取り込まれたアドレス信号は、Y系の冗長回路に供給される。ここで、記憶された不良アドレスとの比較が行われて、冗長回路への切り換える有無が判定される。その結果と上記アドレス信号は、Y系のプリデコーダに供給される。ここで、YiとAYn1からなるプリデコード信号が形成される。このプリデコード信号YiとAYn1は、4つからなる各メモリアレイに対応して設けられるYアドレスドライバ(最終段)YiB、AYn1を介して、それぞれのYデコーダに供給される。同図においては、1つのYドライバYiB、AYn1Bのみが代表として例示的に示されている。

【0061】上記CAS系のコントロール回路は、前記のようにRASB信号とWEB信号とを受けてその入力順序の判定からテストモードを判定すると、隣接するテスト回路を活性化させる。同図では、省略されているが、アドレス信号や制御信号が供給されるポンディングパッドは、チップの中央部に集められて配置される。それ故、各パッドから対応する回路までの距離を短く、ほぼ均一にできる。これにより、この実施例のようなレイアウトを探すことによって、アドレス信号や制御信号の取り込みが高速に行われるとともに、多数ビットからなるアドレス信号にあっては多ビットからなるアドレス信号相互において生じるスキューを最小に抑えることができる。

【0062】同図に示すように、センスアンプ(SA)用の電源VDLや周辺回路用電源VCCも、チップの中央部に配置されている。これにより、チップの4隅に配置される回路に対して等距離でしかも短い配線により各種電圧供給を行うことができるものとなる。また、各回路に応じて図示しないが、電圧安定化、言い換えるならば、電源インピーダンスを下げるための比較的大きな容量値を持つようなキャパシタがそれぞれの電源配線に沿って回路内に分散されて設けられる。

【0063】図6には、×1ビット構成時の動作シーケンスに着目したブロック図が示されている。同図では、各回路ブロックを主として信号名で示し、主要な回路を回路名により示している。それ故、同図では書き込み/読み出し信号の流れを示す信号経路は省略されている。以下、図6を参照して、この発明に係るダイナミック型RAMの動作の概略を説明する。

【0064】ロウ系のアドレス選択動作は、次のように行われる。アドレス信号Ai(A0~A11)と、これらとは別に特にアドレス信号A9~A11及びA8は、それぞれロウアドレスストローブ信号RASBに同期してアドレスバッファに取り込まれ、ロウ系の内部アドレス信号BXi、MSiL、MSiR及びSL、SRとして保持される。上記アドレスバッファに取り込まれたア

ドレス信号BXiは、一方において冗長回路に入力されて不良アドレスに対するメモリアクセスが否かが判定される。

【0065】上記アドレス信号BXiは他方においてプリデコーダに供給され、プリデコード信号AXNLが形成され、各メモリマットに対応して設けられるXデコーダX-DECに入力される。アドレス信号A8~A11に対しては、上記のようにもう1組のバッファMSiL、MSiR及びSL、SRが設けられてマット選択動作を高速にする。すなわち、アドレス信号A0~A11は、冗長回路やプリデコード回路に供給され、冗長回路での多数のアドレス比較回路や、多数のゲート回路に入力されることからその負荷が比較的重くされる。この実施例では、上記のようにマット選択用のアドレスバッファMSiL、MSiR及びSL、SRを設けることによって、上記冗長回路やプリデコード回路の入力容量等による比較的大きな負荷による信号の遅れの影響を受けなくなるから上記のように高速となる。

【0066】XデコーダX-DECには、その動作タイミングを制御するマット選択信号MSiL/R及びSL、SRから形成されたXデコーダプリチャージ信号XD_PとXデコーダ引き抜き信号XD_Gが入力される。XデコーダX-DECは、上記タイミング信号XD_PとXD_Gより上記プリデコード信号AXNLを解読してワード線の選択信号を形成する。このとき、不良アドレスへのアクセスのときには、冗長回路から出力される信号XRiBが形成され、上記XデコーダX-DECの出力によるワード線の選択動作が禁止されるとともに、冗長ワード線の選択動作が行われる。このようなワード線の選択動作には、前記のような昇圧された電圧VCHが用いられる。これによって、上記ワード線にゲートが結合されたアドレス選択用MOSFETの持つしきい値電圧に関係なく、メモリセルと相補データ線との間の信号電荷の授受がレベル損失なく行われる。

【0067】上記マット選択信号MSiL/Rは、相補データ線プリチャージ信号PCBを形成する。すなわち、上記マット選択信号MSiL/Rにより選択されるメモリマットが確定するから、その選択マットの相補データ線にのみにプリチャージ動作が解除（終了）される。

【0068】上記アドレス信号A8により指定されるメモリマットのうちの左領域SL又は右領域SRを指定する選択信号SL/SRが形成される。この信号SL/SRとマット選択信号MSiL/Rからセンスアンプに結合されるべき領域SL又はSRを選ぶスイッチMOSFETを制御する選択信号SHRが形成される。ここで、この選択信号SHRは、前記のような昇圧された電圧VCHが用いられる。これにより、センスアンプと選択された相補データ線との間ではレベル損失なく信号の授受が行われる。

【0069】センスアンプは、RASB信号から作られたパワースイッチMOSFETの制御信号PN1とPP1と、上記ワード線の選択信号及びマット選択信号MSiL/Rの各条件の成立により活性化される。このとき、センスアンプは、前記のように内部で降圧された電圧VDLにより活性化される。このとき、図示しないが、センスアンプの動作伴うピーク電流の低減のために2段階増幅動作が行われる。すなわち、第1段階では比較的小さな電流を流すスイッチMOSFETをオン状態にして、センスアンプを活性化させ、その増幅出力が比較的大きくなつた第2段階では比較的大きな電流を流すスイッチMOSFETをオン状態にして高速増幅動作を行わせる。

【0070】信号RGは、YスイッチMOSFETをオン状態にするタイミングを決める信号である。すなわち、相補データ線に十分な信号量が得られた後に信号RGを発生させ、後述するカラム系の選択動作のタイミングを制御する。信号RN、RFは、ノーマルリードモードと、リフレッシュモードの判定信号である。信号RA20SBがハイレベルからロウレベルに変化する前に、信号CASBがハイレベルからロウレベルに変化すると、信号RFが形成されリフレッシュモード（CASビフォワーラスリフレッシュ）とされる。この場合には、この後に行われるカラム系のアドレス選択動作が信号CEによって省略される。

【0071】信号RASBがロウレベルのときに、信号CASBがハイレベルからロウレベルに変化するとノーマルモード信号RNが形成される。これに応じてリード／ライトの制御を行う信号CEが発生される。Yアドレスバッファに取り込まれたアドレス信号BYiは、Y系の冗長回路とプリデコード回路に供給されてプリデコード信号AYNLが形成される。信号AC1Bは、メインアンプやYデコーダ系の動作を制御する信号であり、信号CEの立ち下り時と信号CEがハイレベルのときにはアドレス信号が変化するとそれに応じて発生する。

【0072】冗長回路において救済アドレスがないとき信号YiBを発生し、救済アドレスのときYRiBが発生する。YデコーダY-DECは、欠陥救済がなければ、プリデコード信号AYNLを解読してY（カラム）選択信号を形成し、欠陥救済が存在するならば上記プリデコード信号AYNLに対応したアドレス選択を無効にして救済用のY（カラム）選択信号を形成する。

【0073】信号WEBからライト信号W2が形成される。信号CASBから信号C2を形成する。この信号C2は、RAS/CAS論理、リード／ライト判別及び各セットアップ、ホールド特性の制御に用いられる。信号W3Bは、リード・モディファイ・ライト動作、及びアーリィ・ライトを動作を行うための1ショットパルスであり、これに基づいて内部のライトパルスが発生される。

21

【0074】信号WYPは、データ入力バッファから出入力線I/Oまでの制御に用いられ、信号WYPBは出入力線I/Oから相補データ線の制御を受け持つ。信号DLは書き込み信号Dinをデータ入力バッファに取り込むときのデータセットアップ/ホールド時間を決める。データ入力バッファに取り込まれた書き込みデータDOIは、信号WYPにより出入力線I/Oに伝えられる。この出入力線I/Oの書き込み信号は、Yデコーダ回路Y-DECにより選択された相補ビット線（相補データ線）に伝えられ、この相補ビット線に結合され、ワード線が選択状態にされている1つのメモリセルに書き込まれる。

【0075】信号YPはYデコーダ系の動作制御信号であり、信号RYPはメインアンプの動作制御信号である。上記信号YPはYデコーダY-DECを制御するものであるため、上記のようなライト動作のときにも発生する。信号RYPによりメインアンプの活性化信号MAとRMAが形成され、メインアンプの活性化が行われる。信号DSは、メインアンプのデータの出力タイミングを制御する。

【0076】信号RASB、CASB及びWEBの相互の入力タイミング関係からテストモードの信号RN、RFと、信号WN、WFと、信号CR、LFとがそれぞれ形成される。信号RN、RFと信号WN、WFとは、CBR(CASビオワー-RASリフレッシュ)、WCBR(WE、CASビオワー-RAS)の制御を行う。信号CR、LFはテスト系回路の制御、例えば上記WCBR時のアドレス信号Aiのセット/リセットを行う。テスト系回路に取り込まれたアドレス信号AFiは、テストモードを決めるFMIに変換されて、各種テスト信号を発生させる。

【0077】電源回路として、外部端子から供給される約5Vのような電圧VCCEから周辺回路用の約3.3Vのような降圧電圧VCCが形成され、この降圧電圧VCCからワード線の選択レベルを決める約5.2Vのようなブーストストラップ電圧VCHが形成される。また、この電圧VCCを用いて、約-2Vのような基板バックバイアス電圧VBGが形成される。また、上記のような外部から供給される電圧VCCEからメモリアレイ（センスアンプ）用の約3.3Vのような降圧電圧VDLと、特にスタンバイ時に供給される降圧電圧VSTがそれぞれ独立に形成される。

【0078】上記の動作概略から、メモリアレイに構成された複数からなるメモリマットは、ワード線の選択動作を行うXデコーダを含むものである。このXデコーダには、図5のブロック図に示すように、チップの中央部に配置されたマット選択回路MSiL/Rにより形成されるマット選択信号MSiL/R、プリデコーダ回路により形成されたプリデコード出力AXNLとXiBが最終ドライバ段を通して供給される。上記中央部に配置さ

22

れた各回路に対応して、アドレス入力用のボンディングパッド及び制御信号RASBやアドレスバッファ及び冗長回路が集中して配置される。これにより、アドレス信号を伝達する配線長を短くできるから高速化が可能になる。

【0079】例えば、従来のDRAMのように長方形からなるチップの両短辺にボンディングパッドを配置し、それに応じてアドレス端子や制御端子を振り分けるというレイアウト方式では、チップの大きさに応じて信号の伝達距離が長くなってしまう。すなわち、ボンディングパッドからアドレスバッファの入力端子までの距離が長いものと短いものが混在する。また、アドレスバッファからアドレスデコーダまでの距離もアドレスバッファの位置に従い、長いものと短いものとが存在することとなる。このようなレイアウト方式では、信号線の引き回しによる最も信号経路の長いものに動作速度が律束されてしまうことと、タイミングマージンを取る必要から、約16Mビットのような大記憶容量化を図ったものでは、そのチップの大きさに比例して動作速度が遅くなってしまうものである。

【0080】これに対して、この実施例のDRAMでは、上述のようにアドレス入力用のボンディングパッドや制御入力用のボンディングパッドをチップの中央部に集中的に配置し、それに対応してアドレスバッファやコントロール回路を近接して設ける構成を探るものである。この構成では、チップの中央部から約放射状に信号線が延びる構成となるから、信号伝播距離をチップの大きさの約1/2に短くすることができる。

【0081】配線抵抗は配線長に比例して大きくなり、配線容量は配線長に比例して大きくなる。それ故、信号伝播遅延時間は、原理的には信号伝播距離の自乗に比例して遅くなる。したがって、上記のように実質的な信号伝播距離をチップの大きさの1/2に減らせるということは信号伝播遅延時間を1/4にも減らせることを意味するものである。

【0082】この実施例では、マット選択信号MSiL/Rにより選択される単位のメモリマットのみを活性化する構成を取る。そして、マット選択信号MSiL/Rに基づき各メモリマット毎にそのマットのアドレス選択動作に必要な信号SHR、PCB、センスアンプ活性化信号を発生させる。この構成では、上記のような中央に配置されたマット選択回路から比較的近い距離に配置されるメモリマットと、遠い距離を持って配置されるメモリマットとの間で、上記のような信号SHR、PCB及びセンスアンプの活性化パルス等にタイミングマージンを取る必要がない。言い換えるならば、活性化されるメモリマットは、上記のようなマット選択信号MSiL/Rが供給された時点から動作を開始し、それ以降の単位マット内で最適化されたタイミング系によりアドレス選択のための各種信号が発生されるものである。

【0083】この構成では、チップの中央部に配置されるマット選択回路は、前記の実施例にあっては32マットに対して8通りのマット選択信号を供給するだけでよいから信号負荷が軽減できるとともに信号線数を少なくできる。これにより、各マットに伝えられる選択信号の遅延を少なくできる。そして、上記のように選択されるメモリマットは、各マット毎に最適化されたタイミングで動作し、マット相互でのタイミングマージンを探る必要がないから高速のメモリアクセスが可能になる。また、図4に示したメモリマットのアドレス割り付けのように、軸対称的な関係にある2つのメモリマット、例えばMS0LとMS1L、MS2LとMS3Lが1つのサブロックを構成する。このサブロックを1つのメモリアレイに対して4個設ける。この構成では、上記軸対称的な2つのメモリマットのうち1つのメモリマットしか活性化されない。これにより、1つの制御回路を2つのメモリマットに対して共通に用いることができる。

【0084】上記のような2つのメモリマットからなるサブロックにおいて、縦中央エリアにより分離されたメモリアレイ間で軸対称的な関係にあるもの、例えばMS0L、MS1L、MS2L及びMS3Lを1つのメモリブロックとして、1つの制御回路を設ける構成としてもよい。この場合にも、上記のような4つのメモリマットMS0L、MS1L、MS2L及びMS3Lのうち、活性化されるのは1つのメモリマットのみがあるので、上記同様に1つの制御回路を共通に用いることができる。この場合には、メモリアレイ全体で8個のメモリブロックが構成されるものとなる。

【0085】制御回路としては、例えば上記のような相補データ線のプリチャージ動作、センスアンプの活性化、シェアードセンスアンプ制御、Xデコーダの活性化、ワードドライバの活性化、Yデコーダの活性化、共通入出力線I/Oの選択及びメインアンプの選択と活性化等の各種信号のうち少なくとも1つのを形成するものであれば効果があり、全てを形成することによりいつそうの効果を上げることが可能になる。

【0086】上記のように単位のマットの集合体としてメモリアレイを構成する場合、マット選択回路の回路変更、言い換えるならば、マット選択論理の変更のみにより、動作するマット数を変更することが容易になる。これにより、品種展開（ロウパワー化等）が容易にできるものである。また、ワード線やデータ線を選択するためのXデコーダやYデコーダを単位のメモリマットに隣接して設けるものとしてもよいし、複数の単位マットで共通してもよい。この実施例では、各マット毎にXデコーダを設け、Yデコーダはメモリアレイ毎に設けることとし、8つのメモリマットに共用して効率の良いレイアウトとしている。

【0087】図14には、この発明に係るダイナミック型RAMの他の一実施例の基本的レイアウト図が示され

ている。この実施例では、前記図1と同様にチップの縦中央部と横中央部からなる形作られる十文字エリアにより分割される4つメモリアレイにおいて、それぞれにYデコーダが設けられる。この構成では、Yデコーダは、各メモリアレイの中央部に配置されるのでカラム選択線を短くできる。これにより、Y系の選択動作を高速化することができるものである。このような構成に対応して、Y系のプリデコード信号は、上記縦中央部に設けられた配線チャンネルを通して各Yデコーダ回路に供給される。なお、上記縦中央部に接した側に設けられせるのは前記同様なXデコーダである。

【0088】この構成においても、上記チップの中央部にポンディングパッドや、それに対応したアドレスバッファ等の入力回路や、メモリマット又はサブロックやメモリブロック選択回路を配置することによって、前記同様な高速化が図られるものである。

【0089】図15には、この発明に係るダイナミック型RAMの他の一実施例の基本的レイアウト図が示されている。この実施例では、前記図1と同様にチップの縦中央部と横中央部からなる形作られる十文字エリアにより分割される4つのメモリアレイにおいて、それぞれのメモリアレイの中央部にXデコーダが設けられる。この構成では、単位のメモリマットにおけるけワード線の長さが半分に短くされるからワード線の負荷が軽くなり、ワード線の選択動作の高速化が可能になる。このような構成に対応して、X系のプリデコード信号は、Xデコーダ部に設けられた配線チャンネルを通して各メモリマットに対応したXデコーダ回路に供給される。

【0090】上記チップにおける横中央部に接した側に設けられるのは前記同様なYデコーダである。この構成においても、上記チップの中央部にポンディングパッドや、それに対応したアドレスバッファ等の入力回路や、メモリマット又はサブロックやメモリブロック選択回路を配置することによって、前記同様な高速化が図られるものである。

【0091】図16には、この発明に係るダイナミック型RAMの更に他の一実施例の基本的レイアウト図が示されている。この実施例では、前記図1と同様にチップの縦中央部と横中央部からなる形作られる十文字エリアにより分割される4つメモリアレイにおいて、それぞれのメモリアレイを4分割するように縦、横方向にXとYデコーダが設けられる。この構成では、ワード線長やカラム選択線の長さが半分にできるから、それに対応して負荷が軽くなるためワード線選択やカラム選択動作を高速に行うことができる。

【0092】この構成において、各メモリアレイのうち、上記XとYデコーダにより分割される4つのメモリエリアのうち、1つのメモリエリアが選ばれるようにし、その中央部に、上記のような相補データ線のプリチャージ動作、センスアンプの活性化、シェアードセンス

アンプ制御、Xデコーダの活性化、ワードドライバの活性化、Yデコーダの活性化、共通入出力線I/Oの選択及びメインアンプの選択と活性化等の各種信号形成する制御回路を設けることができる。

【0093】この構成においても、上記チップの中央部にボンディングパッドや、それに対応したアドレスバッファ等の入力回路や、メモリマット又はサブロックやメモリブロック選択回路を配置することによって、前記同様な高速化が図られるものである。なお、上記14図ないし図16において、「XとYのデコーダを入れ換えて構成するものであってもよい。

【0094】上記のような基本的レイアウトの変形例のいずれかを採用する場合でも、チップの縦と横中央部からなる十文字領域によりメモリアレイを4分割し、そこに周辺回路やボンディングパッドを構成するものである。特に、アドレス用パッドやアドレスバッファやそれを受けるプリデコーダや、プリデコード信号を各デコーダに供給する最終段ドライバを中央に配置する構成では、メモリアクセスのための信号の伝播経路が、放射状に上下左右の4隅に向かってそれぞれ最短距離で、かつほど等距離を持って延びるものである。これにより、前記したような動作の高速化が可能になるものである。

【0095】内部電源としても、メモリアレイ（センスアンプ）の動作電圧V_{DL}や周辺回路の動作電圧V_{CC}を形成する降圧電圧発生回路も、上記チップのほど中央部に配置するものである。この構成では、前記図7の実施例に示したように電源供給用の配線長も短くできる。これにより、電源インピーダンスを低く抑えることができるから、回路の高速化と低ノイズ化を図ることができるものとなる。

【0096】図17には、メモリマットの他の一実施例の基本的構成と、それを組み合わせて構成されてなるメモリブロックの他の一実施例のレイアウト図が示されている。図17（A）には、メモリマットの基本的構成図が示されている。同図において、Sはセンスアンプ、Mはメモリセルアレイ、Wはワード線駆動回路（含むXデコーダ）、Cは制御回路である。同図（A）の例では、センスアンプSがメモリセルアレイMの左横側に設けられる。それ故、この実施例のメモリマットは、前記実施例のようなシェアードセンスアンプ方式を探らない。

【0097】同図（B）は、上記メモリマットのセンスアンプSが中心になるようにしてメモリセルアレイMを左右対称に配置してサブプロックを構成するものである。この場合、センスアンプSは左右のメモリセルアレイMに対して選択的に用いられるというシェアードセンスアンプ方式としよよいし、それぞれのメモリセルアレイMに対応して2つのセンスアンプSが隣接して配置されるものとしてもよい。このようなサブプロックが複数個を組み合わせて前記のようなメモリアレイを構成するものである。この構成において、左右のメモリセルアレ

イを選択的に行うようになると、制御回路Cを共通化ができる。

【0098】同図（C）は、上記（B）のサブプロックに対して制御回路Cの部分が中心になるようにして上下対称にワード線駆動回路WとメモリセルアレイM及びセンスアンプSが配置されるよう同図（A）のメモリマットを組み合わせて1つのメモリブロックを構成するものである。

【0099】この場合、上下対称にされる一対のサブプロックのそれぞれは、2つのメモリアレイにそれぞれ構成されるものとしてもよい。4つに分割された形となるメモリセルアレイM（単位のメモリマット）のうち、1つが選ばれるようにアドレス割り付けを行うことによって、センスアンプSはスイッチMOSFETを介して左右のメモリセルアレイに選択的に結合されるというシェアードセンスアンプ方式として共通化し、ワード線駆動回路Wも上下のメモリセルアレイに対して共通化してもよい。この構成では、制御回路は4つのメモリマットからなるメモリマットに対して共通化できる。ただし、この場合、Y系のデコーダ回路がマット又はブロック内に存在しないから、Y系の信号回路は除かれる。

【0100】図18には、メモリマットの他の一実施例の基本的構成と、それを組み合わせて構成されてなるメモリブロックの他の一実施例のレイアウト図が示されている。図18（A）には、メモリマットの他の一実施例の基本的構成図が示されている。同図の例では、センスアンプSに隣接して制御回路Cが設けられる。また、メモリセルアレイMの上下両側にワード線駆動回路Wが設けられる。このワード線駆動回路Wは、ワード線の高速選択動作のために1本のワード線を両端から選択／非選択にするようとする。この構成に代え、メモリセルアレイMのワード線を中点で上下に2分割し、分割されたそれぞれのワード線を上記2つのワード線駆動回路Wが選択するようにしてもよい。

【0101】この場合には、ワード線の長さが短くされることによって、ワード線の高速選択動作が可能になる。また、ワード線を1本おきに上下2つのワード線駆動回路により選択するようにしてもよい。この構成では、上下に分けられるワード線駆動回路に対して、選択されるワード線のピッチを2倍に広くできる。すなわち、比較的大きな占有面積を必要とするワード線駆動回路を上下に分割することにより、より小さなピッチにより配置されるワード線を駆動することができる。この実施例のメモリマットは、前記同様にシェアードセンスアンプ方式を探らない。

【0102】同図（B）は、上記メモリマットの制御回路Cを中心にしてメモリセルアレイM及びそれに設けられるセンスアンプSを左右対称に振り分けて配置してサブプロックを構成するものである。この場合、制御回路Cが共通化されるものである。制御回路Cを上下に振り

50

分けて配置し、センスアンプSも共通化して両メモリセルアレイに対して選択的に用いられるというシェアードセンスアンプ方式としもよい。

【0103】同図(C)は、上記サブブロックのワード線駆動回路Wの部分を中心にして上下対称にメモリセルアレイM、センスアンプ及び制御回路Cを配置することにより1つのメモリブロックを構成するものである。この場合、4つに分割された形となるメモリセルアレイM(単位のメモリマット)のうち、サブブロックを構成するものが2つのメモリアレイにそれぞれ構成されるようにもよい。上記メモリブロックのうち1つのメモリセルアレイMが選ばれるようにアドレス割り付けを行うことによって、制御回路は4つのメモリマットからなるメモリブロックに対して共通化できる。ただし、この場合、Y系のデコーダ回路がマット又はブロック内に存在しないからY系の信号回路は除かれる。

【0104】図19には、メモリマットの他の一実施例の基本的構成と、それを組み合わせて構成されてなるメモリブロックの他の一実施例のレイアウト図が示されている。図19(A)には、メモリマットの他の一実施例の基本的構成図が示されている。同図の例では、メモリセルアレイMの左右にセンスアンプSが設けられる。それ故、メモリセルアレイMの相補データ線(ビット線)は中央で分割される。これにより、センスアンプの入力に結合される相補データ線のメモリセルの数を半分に減らせるから、その寄生容量が低減してその負荷が軽くなるとともにメモリセルからの読み出し信号量を大きくできるためセンスアンプSの高速化が図られる。この構成に代え、相補データ線の両端にセンスアンプSを接続して、相補データ線の両端から読み出し信号の増幅を行うよにもよい。この構成では、センスアンプの電流が分散されので高速動作化と低ノイズ化が可能になる。

【0105】上記相補データ線の一対おきにセンスアンプを左右に振り分けて配置してもよい。この場合には、センスアンプのピッチの緩和を図ることができる。言い換えるならば、センスアンプを上記のように振り分けることによって、1つのセンスアンプを2対の相補データ線に対応したエリアに形成できるから、相補データ線のピッチをいっそう高密度にすることができる。メモリセルアレイMの下側にワード線駆動回路Wが設けられそれを囲むように制御回路Cが配置される。

【0106】同図(B)は、上記メモリマットの一方のセンスアンプSを中心にするようにして2つのメモリマットを左右対称に配置してサブブロックを構成するものである。この場合、制御回路Cが共通化されるものである。左右のメモリセルアレイのワード線が逐一的にしか選択されない場合、中央のセンスアンプSを共通化して両メモリセルアレイに対して選択的に用いられるという変形シェアードセンスアンプ方式を探るものとしてもよい。この場合、中央に設けられるセンスアンプを補助的

10

な増幅作用に用いる構成とした場合には、1つのメモリセルアレイの相補データ線の一端にセンスアンプの出入力が直結され、他端にはスイッチMOSFETを介してセンスアンプの入出力が結合されても何等問題ない。

【0107】同図(C)は、上記サブブロックの制御回路Cの部分を中心にして上下対称に配置して、4つのメモリマットからなるメモリブロックを構成するものである。この場合、4つに分割された形となるメモリセルアレイM(単位のメモリマット)のうち、サブブロックを構成するものが2つのメモリアレイにそれぞれ構成されるよにもよい。上記メモリブロックのうち1つのメモリセルアレイMが選ばれるようにアドレス割り付けを行うことによって、制御回路は4つのメモリマットからなるメモリブロックに対して共通化できる。ただし、この場合、Y系のデコーダ回路がマット又はブロック内に存在しないからY系の信号回路は除かれる。

20

【0108】図20には、メモリマットの他の一実施例の基本的構成と、それを組み合わせて構成されてなるメモリブロックの他の一実施例のレイアウト図が示されている。図20(A)には、メモリマットの他の一実施例の基本的構成図が示されている。同図の例では、メモリセルアレイMの左右にセンスアンプSが設けられ、メモリセルアレイMの上下にワード線駆動回路Wが設けられる。それ故、メモリセルアレイMの相補データ線(ビット線)は中央で分割される。

20

【0109】これにより、センスアンプの入力に結合される相補データ線のメモリセルの数を半分に減らせるから、その寄生容量が低減してその負荷が軽くなるとともにメモリセルからの読み出し信号量を大きくできるためセンスアンプSの高速化が図られる。この構成に代え、相補データ線の両端にセンスアンプSを接続して、相補データ線の両端から読み出し信号の増幅を行うよにもよい。この構成では、センスアンプの電流が分散されので高速動作化と低ノイズ化が可能になる。また、前記同様に高集積化のために相補データ線の両端に交互にセンスアンプを配置する構成としてもよい。

30

【0110】ワード線駆動回路Wは、ワード線の高速選択動作のために1本のワード線を両端から選択/非選択にするようにする。この構成に代え、メモリセルアレイMのワード線を中点で上下に2分割し、分割されたそれぞれのワード線を上記2つのワード線駆動回路Wが選択するよにもよい。この場合には、ワード線の長さが短くされることによって、ワード線の高速選択動作が可能になる。また、前記同様にワード線の両端に交互にワード線駆動回路を配置し、ワード線の高密度配置を行うようにするものであってもよい。

40

【0111】メモリセルアレイMの下側のワード線駆動回路Wと左側のセンスアンプを囲むように制御回路Cが配置される。同図(B)は、上記メモリマットの左側の制御回路Cを中心にするようにして2つのメモリマット

50

を左右対称に配置してサブプロックを構成するものである。この場合、制御回路Cが共通化されるものである。左右のメモリセルアレイのワード線が逐一的にしか選択されない場合、中央のセンスアンプSを共通化して両メモリセルアレイに対して選択的に用いられるという変形シェアードセンスアンプ方式を探るものとしてもよい。

【0112】この場合、中央に設けられるセンスアンプを補助的な増幅作用に用いる構成とした場合には、1つのメモリセルアレイの相補データ線の一端にセンスアンプの入出力が直結され、他端にはスイッチMOSFETを介してセンスアンプの入出力が結合されても何等問題ない。

【0113】同図(C)は、上記サブプロックの下側の制御回路Cの部分を中心にして上下対称に配置して、4つのメモリマットからなるメモリプロックを構成するものである。この場合、4つに分割された形となるメモリセルアレイM(単位のメモリマット)のうち、サブプロックを構成するものが2つのメモリアレイにそれぞれ構成されるようにしてもよい。上記メモリプロックのうち1つのメモリセルアレイMが選ばれるようにアドレス割り付けを行うことによって、制御回路は4つのメモリマットからなるメモリプロックに対して共通化できる。ただし、この場合、Y系のデコーダ回路がマット又はプロック内に存在しないからY系の信号回路は除かれる。

【0114】図21には、サブプロックの他の一実施例の基本的構成と、それを組み合わせて構成されてなるメモリプロックの他の一実施例のレイアウト図が示されている。図21(A)には、センスアンプSを中心にして左右に配置されたメモリセルアレイMと、各メモリセルアレイMの下側に配置されたワード線駆動回路W、及びその下側に配置される制御回路Cからなる前記図17(B)に示すようなサブプロックを左右対称的又は並列的に配置し、右側に上記複数のメモリセルアレイMに対して共通に用いられるYデコーダを設けるものである。

【0115】同図(B)は、図18(C)示したメモリプロックに、共通化されたXデコーダを設けるものである。この実施例では、Wは単にワード線駆動回路でありデコード機能を持たない。この実施例において、4つのメモリセルアレイMのうち、1つしかワード線を選択しない場合には、2つのメモリセルアレイでワード線駆動回路を共通化するものであってもよい。

【0116】前記図17ないし図21のようなメモリマット、サブプロック及びメモリプロックの構成を探る場合でも、適当なマット選択信号により単位のメモリマットのみを活性化する構成を取ることができる。このようにマット選択信号に基づき各メモリマット毎にそのマットのアドレス選択動作に必要な信号SHR、PC、センスアンプ活性化信号を発生させる。この構成においては前記同様に中央に配置されたマット選択回路から比較的近い距離に配置されるメモリマットと、遠い距離を持つ

て配置されるメモリマットとの間で、上記のような信号SHR、PC及びセンスアンプの活性化信号等にタイミングマージンを取る必要がない。

【0117】言い換えるならば、活性化されるメモリマットは、上記のようなマット選択信号が供給された時点から動作を開始し、それ以後は単位マット内で最適化されたタイミング系により単位マット活性化のための各種信号が発生される。したがって、チップの中央部に配置されるマット選択回路は、上記のような複数のマットの中のいずれかを活性化させる選択信号を供給するだけでよいから信号負荷が軽減でき、各マットに伝えられる信号の数とその遅延を少なくできる。そして、前記同様に選択されるメモリマットは、各マット毎に最適化されたタイミングで動作し、マット相互でのタイミングマージンを取る必要がないから高速のメモリアクセスが可能になるものである。

【0118】図22には、この発明に係るDRAMに用いられるSOJ(スマート・アトライン・Jペンドパッケージ)リードフレームの平面図が示されている。同図において、二点鎖線で示したのが搭載されるDRAMチップである。上下左右からチップの中央を横方向に延長するよう形成された一对からなるリードは、接地電位用VSSと電源電圧電源電圧VCC Eの供給用リードとして用いられる。このようにチップの中央を横切るようにリードが配置されることに応じて、前記図3に示した複数からなる電源用パッドVSS、VCC Eと複数個所でボンディングされる。

【0119】電源端子としては、上記のようにVCC E及びVSS共に2端子からなり、リードフレームのようないくつかの低抵抗値からなる配線材料により、チップに対して複数個所に接地電位VSSや、電源電圧VCC Eが与えられるから、それらの電位が与えられる回路の電源インピーダンスを小さく抑えることができる。これにより、回路の動作電流による電源線に発生するノイズを小さく抑えることができる。信号の授受を行うリードは、同図においてチップの上下から中央に向かって接続端が伸びるようにされている。これにより、チップの中央部に集められたアドレス信号端子や、制御端子への接続が効率良く行われることになる。

【0120】図23(A)ないし(C)には、上記のようなリードフレームと半導体チップの接続例が示されている。同図(A)の例では、リードフレーム22とチップ23の表面とは、フィルム24を介在させて接着剤A26と接着剤B27によりそれぞれ接続する。そして、リードフレームの端子は、金ワイヤ25によってチップ23のボンディングパッドと接続される。

【0121】同図(B)の例では、リードフレーム22は、接着剤C29によってチップ23の表面に形成された絶縁体8に接続せるものである。そして、リードフレームの端子は、金ワイヤ25によってチップ23のホ

31

ンディングパッドと接続される。

【0122】同図(C)の例では、リードフレーム22は、モールド樹脂21によってボンディング用の接続を行うリード表面を除く個所が覆われており、接着剤D30によりチップ23の表面に接続されるものである。そして、上記リードフレームの端子は、金ワイヤ25によってチップ23のボンディングパッドと接続される。

【0123】このようなリードフレームを用いた場合には、リードフレームを半導体チップの配線の一部とするようにその表面に配置することができる。これにより、前記図3のようにボンディングパッドをチップの中央部に配置しても何等問題なく、リードへの接続が可能なるものである。

【0124】図24(A)には、上記のようなリードフレームを用いたLOC(リード・オン・チップ)構造のDRAMの外観図が示され、同図(B)は、その内部透視図が示されている。同図において、31は、モールド樹脂であり、32は外部端子(リードフレーム)、33はチップである。チップ33は絶縁用のフィルム34を介してリードの下側と前記のような接着剤を用いて結合されている。内部において、各リードの先端は金ワイヤ35によりチップ33のボンディングパッド38に接続される。36はバスバーリードであり、前記のような電圧VCCEやVSS供給リードに用いられる。37は吊りリードであり、39はインディックスである。

【0125】図25(A)には、外部端子のピン配置図が示されている。特に制限されないが、前記の16Mビットのダイナミック型RAMは、28ピンのパッケージに収められる。同図(B)には、そのピンが配列された側から見た側面図が示され、同図(C)には、ピンが配列されない側から見た断面図が示されている。

【0126】図26には、この発明に係るダイナミック型RAMにおけるZIP(ジグザグ・インライン・パッケージ)型を用いた場合の×1ビット構成のものと、×4ビット構成のものとのピンの配置図が示されている。同図において、NCは空きピンを示し、×4ビット構成のDRAMで矢印を付した個所は、×1ビット構成のものと同じ信号ピンであることを意味する。

【0127】図27には、この発明に係るダイナミック型RAMにおけるSOJ型パッケージを用いた場合の×1ビット構成のものと、×4ビット構成のものとのピンの配置図が示されている。同図において、NCは空きピンを示し、×4ビット構成のDRAMで矢印を付した個所は、×1ビット構成のものと同じ信号ピンであることを意味する。

【0128】以上のようなLOC構造のリードフレームを用いた場合、チップの縦方向を延長するようなバスバーリードを回路の接地電位VSSに用い、かつDRAMチップ側では、その動作単位に対応して接地電位供給用のパッドを設けて複数個所から接地電位を供給する構成

32

を探る。この構成では、低インピーダンスのリードフレームから各動作単位毎の回路に直接的に接地電位が与えられるから、接地電位側のレベルマージンを大きく取ることができる。

【0129】上記チップの縦方向を延長するようなもう一方のバスバーリードを外部電圧VCCE用い、かつそれを必要とする回路、例えばデータ出力バッファ、内部降圧電圧発生回路VCC、VDL等に対応して電源パッドを設ける。これにより、電源インピーダンスを低くして内部動作による電源ノイズを低減できる。特に、出力信号を形成する出力バッファは、比較的大きな負荷を駆動するよう大きな駆動電流を流すようにされる。それ故、上記出力バッファに対して、それ専用の電源パッドVCCE及びVSSを設けるとともに、それに近接して配置することより、ノイズの発生の低減と、発生したノイズが他の回路に悪影響を及ぼすことを防止することができる。

【0130】以下、この発明に係るダイナミック型RAMを具体的な回路図とその動作波形図を参照して詳細に説明する。以下の具体的な回路図において信号WKBのように最後にBの文字が付加されたものは、前記説明したようにロウレベルがアクティブレベルとされるバー信号である。

【0131】図28には、RAS系のコントロール回路の一実施例の一部回路図が示されている。また、図70には、RAS系の各信号の一実施例のタイミング図が示されている。

【0132】RASB(ロウアドレスストローブ)信号は、CMOSインバータ構成の入力回路に供給される。この入力バッファ用のCMOSインバータ回路は、特に制限されないが、しきい値電圧の絶対値が約0.5VのようなPチャンネルMOSFETとNチャンネルMOSFETとから構成される。そして、そのコンダクタンス比を等しく設定することによって約1.6Vのようなロジックスレッシュルド電圧を持つようにされる。この実施例のDRAMにおける周辺回路用の電源電圧VCCは、上記ロジックスレッシュルド電圧1.6Vの約2倍である3.3Vに設定される。このことは、他の制御信号CASB、WEB及びアドレス信号、及び書き込みデータ40を受けた各入力バッファにおいても同様である。上記のようなロジックスレッシュルド電圧はTTLレベルの信号に対応している。

【0133】この実施例のような大容量化を図ったDRAMでは素子の微細化が図られている。それ故、内部のインバータ回路を構成するMOSFETのように素子定数のバラツキをきらう回路では、チャンネル長Lg-しきい値電圧Vth特性の平坦な部分を使うようになる。このため、チャンネル長Lgが比較的長くなり、それに応じてしきい値電圧Vthが比較的高くなり、上記のような比較的低い電圧VCCで動作させる場合、動作速度が遅

くなってしまう。

【0134】そこで、上記のように高速化が要求される入力バッファの初段インバータ回路を構成するMOSFETは、特に制限されないが、そのチャンネル不純物濃度を内部回路に用いられるインバータ回路を構成するMOSFET等より少なくする等して、上記のような低しきい値電圧を持つように設定するものである。このような低しきい値電圧のMOSFETは、他の制御信号やアドレス信号の入力初段回路においても同様に用いられる。

【0135】上記同様に動作速度やレベル低下の観点から低しきい値電圧を持つMOSFETは、この実施例のようなCMOS構成のDRAMにおける出力バッファの出力段MOSFET、メインアンプの初段MOSFET、入出力線I/OのフルアップMOSFET、相補データ線のショートMOSFET、チャージポンプ回路に用いられるダイオード形態のMOSFETにも用いられる。なお、上記のような低しきい値電圧を得る方法は、上記のようなイオン打ち込み技術によりチャンネルの不純物濃度を変えるようにするもの他種々の実施形態を探ることができるものである。

【0136】信号RASBは、それがロウレベルにされるとDRAMが動作状態になり、それがハイレベルにされるとDRAMが非動作状態にされる。上記入力バッファとしてのインバータ回路を通したRAS信号は、信号WKBをゲート制御信号とする NAND (NAND) ゲート回路を通してその入力と出力とが交差接続された2つの NAND ゲート回路からなるラッチ回路に取り込まれる。

【0137】上記信号WKBは、基板バックバイアス電圧VBBのレベルが浅いときハイレベルにされる。それ故、インバータ回路の出力がロウレベルになり、 NAND ゲート回路の出力をハイレベルに固定するので、信号RASBの受け付けを禁止する。すなわち、基板バックバイアス電圧が十分でないときは、内部回路の動作が保証できないためRAMアクセスを禁止するものである。また、 NAND ゲート回路の出力は、その入力部に設けられたPチャンネルMOSFETのゲートに正帰還される。上記PチャンネルMOSFETと動作電圧VCCとの間には、ゲートに定常的に接地電位が与えられることによって抵抗素子として作用するPチャンネルMOSFETが直列に設けられる。これにより、信号RASBがいったん上記ゲート回路に取り込まれると、そのロジックスレッシュルド電圧をロウレベル側にシフトさせることにより信号の反転をしにくくしている。

【0138】基板バックバイアス電圧VBBのレベルが所望の深いレベルにあると、信号WKBはロウレベルになる。これにより、 NAND ゲート回路がゲートを開くので、上記入力バッファを通したRASB信号がラッチ回路に取り込まれる。信号REは、リライト保証信号であ

り、この信号のハイレベルによって内部RASB信号が保持される。

【0139】上記ラッチ回路を通した信号R1は、Xアドレスバッファ、マット選択、CASB、WEB、Dinといった各入力バッファの制御に用いられる。すなわち、信号R1のハイレベルにより、各回路が活性化される。R1Bは、その反転信号である。上記信号R1から縦列形態にされたインバータ回路（以下、単にインバータ回路列という）により遅延信号R1D及びインバータ回路とフリップフロップ回路とにより信号R2が形成される。信号R1とR1Dにより後述するようなXアドレスバッファの制御、すなわち、Xアドレス信号のセットアップ／ホールドを決定する。

【0140】信号R2は、ワード線のセット／リセットを制御するために用いられる。また、書き込みレベルの補償のため、ワード線のリセットタイミングを遅延させている。信号R2から、フリップフロップ回路、インバータ回路及び NAND ゲート回路を用いて信号FUSが形成される。この信号FUSは、後述するような冗長回路の初期値を設定するために用いられる。この信号FUSは、信号R2から一定パルス幅を持つ1ショットパルスとされ、不良アドレスを記憶するヒューズに一定期間だけ電流を流すようにして、その切断の有無に従ってレベルをラッチ回路に保持させる。これにより、不良アドレス記憶回路のイニシャライズが行われる。このような1ショットパルスを用いることにより、切断されないヒューズに定常的な直流電流が流れないので低消費電力化が図られる。

【0141】信号R2からインバータ回路列とフリップフロップ回路を用いて信号R3が形成される。この信号R3は、相補データ線系（センスアンプSA、プリチャージPC、シェアードセンスSHR等や、冗長デコーダプリチャージRDPの制御に用いられる。ワード線のリセット（R2）から遅延を十分にとり、相補データ線のリセットを行うため、リセットタイミングを遅延させている。上記信号R1とR3と NAND ゲートとインバータ回路とから信号RDPが形成される。

【0142】図29には、RAS系のコントロール回路の一実施例の他の一部回路図が示されている。信号WMは、ワード線のセットタイミングをモニタして、相補データ線（センスアンプ）の動作を制御するために用いられる。それ故、信号WMは、XE、XREOBないしXRE3Bから形成される。XE、XREOBないしXRE3Bは、後述するような冗長回路により形成されるものであり、救済アドレスでないとき信号XREOBないしXRE3Bがハイレベルで、信号XEにより信号WMが形成され、救済アドレスのときには信号XEがロウレベルでXREOBないしXRE3Bのいずれか1つがロウレベルにされることにより信号WMが形成される。

【0143】上記信号WMと信号R3から信号POが形

成される。信号PN1とPP1は、上記信号POを遅延して形成されるものであり、センスアンプの第1段階の増幅タイミングを決める。また、上記信号PN1とPP1は、マルチブレクサ回路によりフリップフロップ回路で形成した比較的大きな遅延信号又は上記マルチブレクサと3つのインバータ回路列により形成された比較的小さな遅延時間を持つ信号PN2、PP2を形成するため用いられる。これらの信号PN2、PP2は、センスアンプの第2段階の増幅タイミングを決めるものである。上記マルチブレクサは、テストモードのときに切り換えて、センスアンプのピーク電流を可変にするために用いられる。

【0144】図30には、RAS系のコントロール回路の一実施例の他の一部回路図が示されている。上記信号PN2は、フリップフロップ回路とインバータ回路列からなる遅延回路により遅延されて信号RGが形成される。この信号RGは、Y(カラム)スイッチをオン状態するタイミングを決めるものである。相補データ線にセンスアンプの増幅動作により十分な信号量が得られた時、Y(カラム)スイッチを開いて入出力線I/Oに信号を出力するようになるものである。

【0145】信号RGは、フリップフロップ回路により遅延され信号REが形成される。この信号RGは、ライト保証信号であり、RASBのタイムアウト時に用いられる。すなわち、ロウ系のアドレス選択動作によってメモリセルが選択されるダイナミック型メモリセルでは、その選択動作によって情報記憶キャッシュの情報電荷はいったん破壊されかかるが、センスアンプの増幅出力をそのまま受け取るというライトによって情報保持電荷の回復が行われる。したがって、上記のようなライトが行われる前にRASB信号がハイレベルにされても、上記信号REのハイレベルにより上記ライト動作の動作時間を確保するものである。

【0146】図31には、Xアドレスバッファを構成する単位回路の一実施例の回路図が示されている。外部端子から供給されるアドレス信号AIと、信号R1を受ける NANDゲート回路は、入力バッファを構成する。すなわち、NANDゲート回路は、信号R1がハイレベルになるとゲートを開いて、外部端子AIから供給されるアドレス信号を内部に取り込む。このようなゲート機能を持つ入力バッファにおいても、そのロジックスレッショルド電圧は、前記のように約1.6Vに設定されるものであり、その動作電圧VCCは前記のように約2倍の3.3Vに設定される。これにより、動作電圧VCCの中点にロジックスレッショルド電圧が設定されるから、動作電圧を効率よく使用でき入力レベルマージンを大きくできる。

【0147】信号XLBにより出力ハイインピーダンス状態の制御が行われる3状態出力回路は、上記アドレス信号AIを取り込む入力ゲート回路とされる。信号RL

10

20

30

40

50

Bにより制御される上記同様な3状態出力回路は、リフレッシュアドレス信号ARIを取り込む入力ゲート回路とされる。上記2つの入力ゲート回路を介して選択的に取り込まれたアドレス信号は、CMOSインバータ回路の入力に伝えられる。このCMOSの入力と出力との間には、信号XRLBにより制御される同様な3状態出力回路を帰還ループが設けられることによって、アドレスラッチ回路が構成される。このアドレスラッチ回路の出力からは、インバータ回路や NANDゲート回路を通して、内部アドレス信号BXI、BXIBが形成される。信号R1Dと信号C1から上記3状態出力回路を制御する制御信号XRLB、XLB及びRLBが形成される。

【0148】ここで、Iは0ないし11の数値を示す。言い換えるならば、同図の回路は、アドレス信号A0ないしA11にそれぞれ対応した単位回路である。アドレス信号A0ないしA11に対応した単位回路は、それぞれの出力がX系の冗長回路に供給され、記憶された不良アドレスとの照合アドレス信号として用いられる。また、アドレス信号A8ないしA11には、メモリマットの選択信号等を形成する以下のようなアドレスバッファ回路も設けられる。

【0149】図32には、アドレス信号A9とA10に対応したアドレスバッファ回路の一実施例の回路図が示されている。外部端子から供給されるアドレス信号を受けるアドレス入力回路、リフレッシュアドレス信号の入力回路及びそれに共通に設けられるラッチ回路は、前記図31と同様であるのでその説明を省略する。上記ラッチ回路に取り込まれたアドレス信号から、インバータ回路や NANDゲート回路によりマット選択信号MS0BないしMS3Bが形成される。また、ロウ系の信号R3、RD1及びC1から上記ラッチ回路を構成する入力ゲートの制御信号XRLB、XLB及びRLBが形成される。

【0150】図33には、アドレス信号A11に対応したアドレスバッファ回路の一実施例の回路図が示されている。外部端子から供給されるアドレス信号を受けるアドレス入力回路、リフレッシュアドレス信号の入力回路及びそれに共通に設けられるラッチ回路は、前記図31と同様であるのでその説明を省略する。上記ラッチ回路に取り込まれたアドレス信号から、インバータ回路や NANDゲート回路により信号BX11LB、BX11RBが形成される。これらの信号BX11LB、BX11RBは動作するマットの左右選択を行う。これらの信号BX11LBとBX11RBとは、NチャンネルMOSFETとPチャンネルMOSFETとからなるCMOS伝送ゲート回路を介して出力される。上記CMOS伝送ゲート回路は、信号RCによりスイッチ制御される。上記伝送ゲート回路の出力側には、上記信号RCを受けたリセットMOSFETが設けられる。

【0151】上記信号BX11LB、BX11RBと信

号MSIBから、マット選択信号MSLIL、MSIRが形成される。ここで、Iは図示のように0ないし3を示すから、前記のような8通りのマット選択信号が形成される。また、ロウ系の信号R3、RD1及びC1から上記ラッチ回路を構成する入力ゲートの制御信号XRLB、XLB及びRLBが形成される。

【0152】ノーマルモードのとき信号RCは、ロウレベルにされる。それ故、上記伝送ゲート回路を介してアドレス信号A11やAR11に対応した左右マットの選択信号BX11LB、BX11RBが形成される。これに対して、テストモードのとき、信号RCはハイレベルにされる。それ故、上記伝送ゲート回路がオフ状態になり、リセットMOSFETにより信号BX11LB、BX11RBは共にロウレベルになる。このことは、左右のマットMSILとMSIRが同時に選択状態になることを意味する。これにより、テストモードのときのリフレッシュサイクルが、信号RCがロウレベルにされるノーマルモードのときの4096サイクルに対して半分の2084サイクルとなるものである。このように、この実施例では、リフレッシュサイクルの切り換えが可能にされるものである。

【0153】図34には、アドレス信号A8に対応したアドレスバッファ回路の一実施例の回路図が示されている。外部端子から供給されるアドレス信号を受けるアドレス入力回路、リフレッシュアドレス信号の入力回路及びそれそれに共通に設けられるラッチ回路は、前記図31と同様であるのでその説明を省略する。上記ラッチ回路に取り込まれたアドレス信号から、インバータ回路や NANDゲート回路により信号SLB、SRBが形成される。これらの信号SLB、SRBは選択されたマット内の左右の選択信号SLとSRを生成するためのものである。また、上記同様のロウ系の信号R3、RD1及びC1から上記ラッチ回路を構成する入力ゲートの制御信号XRLB、XLB及びRLBが形成される。

【0154】上記のアドレス信号A0ないしA11は、上述のようにプリデコーダや冗長回路におけるアドレス比較回路等のように多数のMOSFETのゲートに伝えられる。これにより、アドレスバッファは、大きな容量性負荷を駆動することになるため、内部アドレス信号の信号変化が比較的遅くされることになる。そこで、上記のようにアドレス信号A8ないしA11用にマット選択用のアドレスバッファ回路を設けることによって、ワード線選択に先立って行う必要があるマット選択を高速に行え、アクセスタイム高速化を達成できるものである。

【0155】図35には、ロウ系のプリデコーダの一部の実施例の回路図が示されている。信号AXNLDとAXNLUは、Xデコーダを制御するためのものであり、アドレス信号BX10とBX10Bにより上下のマットの選択を行うためのものである。

【0156】信号AXIHとAXIHBとは、Y系冗長

デコーダの制御〔センスアンプ、Y(カラム)選択線不良の救済に対応するもの〕を行う。ここで、Iは8ないし11を示すものである。上記信号AXIHとAXIHBは、一対の NANDゲート回路からなるラッチ回路を信号BXIBとBXIによりセット／リセットさせることにより形成される。AX10Hは、またYデコーダの上下マットの制御、信号AYNLと信号YIBを制御する。信号AXIHは、Yデコーダ制御のためのRASBの1サイクル期間をラッチする。

【0157】図36には、X系の冗長回路の一実施例の回路図が示されている。図72には、それに対応した動作タイミング図が示されている。この実施例における冗長回路の基本的な考え方は、以下の通りである。各メモリマットにおける左右のメモリエリアにはそれぞれ4つの冗長ワード線が設けられる。従来のDRAMの1つの欠陥救済法では、各冗長ワード線に一対一に対応して冗長デコーダを設ける。これでは、この実施例のように多数のメモリマットからなるようだ記憶容量を持つものでは、冗長デコーダの数が膨大になってしまう。

【0158】従来のDRAMの他の欠陥救済法ではヒューズとしては、冗長デコーダのイネーブルとアドレス信号X0～X7に対応して設ける。このままで、アドレス信号X8～X11により指定可能な $2^4 = 16$ 個のブロックでは同時に冗長ワード線が選択されてしまうため、冗長ワード線の効率が低下するとともに、冗長ワード線に欠陥が存在する確率が上がるため欠陥救済効率が低下してしまう。

【0159】そこで、上記アドレス信号X8～X11に対応してヒューズを追加し、上記16個のブロックのうち、1個だけで冗長ワード線の選択を行うようにする。すなわち、不良ワード線が存在するブロック(マット)のみで冗長ワード線への切り換えを行うようとする。この動作は、各ブロックに共通して設けられた信号XR0DB～XR3DB(BX10)ないしXR0UB～XR3UB(BX10B)とマット選択信号(MSIL/R, SL/SR)により可能となる。

【0160】このように、Xアドレス方向をアドレスX8～X11の4ビットで16分割すると、各ブロックには4本の冗長ワード線があるため、冗長デコーダの数は、最大で $4 \times 16 = 64$ 個設置できる。これにより、冗長デコーダの数は、最低4個から最大64個までの任意の数(4の倍数が望ましい)に設定可能となる。ここで、4～64個の中で救済効率が最大値(歩留まりが最大)を探るよう本実施例では12個が選ばれた。このような欠陥救済法の救済効率は、従来方式の他の欠陥救済法において冗長ワード線の数を12本設けた場合(冗長デコーダの数も12個)とほど等しくできる。すなわち、冗長デコーダの数は同じで冗長ワード線の数を1/3に低減できるものである。

【0161】上記図36において、ヒューズFUSE

は、特に制限されないが、ポリシリコン層から形成され、記憶すべき不良アドレス等に対応してレーザー光線の照射により選択的な切断が行われる。上記ヒューズFUSEは、1ショットパルスの信号FUSによりオン状態にされるMOSFETを通してイニシャライズが行われ、ヒューズFUSEが切断されているとインバータ回路の出力ハイレベルによりオン状態になるMOSFETによって接地電位に固定される。ヒューズFUSEが切断されていないと、それによりインバータ回路の入力はハイレベルに固定される。

【0162】信号RDPにより、同図上側のヒューズFUSEが切断されていないと、欠陥救済が行われないことを意味し、このとき信号XRDJBはロウレベルになる。ここで、Jは0から11を示し、冗長デコーダの数12個に対応する。欠陥救済があるとヒューズFUSEが切断されており、信号RDPにより信号XRDJBがハイレベルになる。同図において上側のヒューズは、イネーブル用であり、下側のヒューズは不良アドレスの記憶用である。欠陥救済時にイネーブル用のヒューズを切断させる。

【0163】信号XRDJは、冗長デコーダJにプログラムされたアドレスと入力アドレスX0～X11が一致したときハイレベルになる。同図において、信号XND0J～XND2Jがソースに入力されるMOSFETはNチャンネルMOSFETである。信号XRDJBは、プリチャージのときハイレベルになり、アクティブ時に入力アドレス信号X0～X11のうち、冗長デコーダJにプログラムされたアドレスと1ビットでも異なるものがあると、すなわち、欠陥救済アドレスが選択されなかつたときロウレベルになる。信号XRDJBは、上記全ビット一致するとハイレベルのままになる。信号XRDJは、プリチャージのときロウレベルとなり、救済アドレスが選択されない場合はロウレベルのままとなる。

【0164】非救済時においては、イネーブル用のヒューズを切断しない。これにより、信号XRDJBはロウレベルに固定され、信号XRDJはロウレベルに固定される。信号A、B6及びB7は、冗長ワード線のテスト用に用いられる。テストモードのとき信号STBをロウレベルにする。これにより、J=0, 3, 6, 9の冗長デコーダを救済状態とし、X6とX7の組み合わせ(0, 0) (1, 0) (0, 1) (1, 1)でアドレスヒューズを等価的に切断状態にし、それぞれXR0～XR3の4本の冗長ワード線に対応させ、冗長ワード線を選択できるようとする。

【0165】このとき、I=8～11のアドレス比較回路では、入力アドレスに無関係に一致状態とすることにより、上述のように16個のブロック全てで冗長ワード線を選択するようにしている。このようにすることによって、16ブロックのうち1ブロックでしか冗長ワード線のテストができないくなるのを回避することができるも

のとなる。この実施例では、冗長ワード線は必ずしもその全部が使われるこのがなく、むしろ全部が使われないことが多い。このことに着目し、この実施例では、上述のように冗長デコーダを複数のメモリマットに設けられた冗長ワード線の選択に対して共通に用いるものである。

【0166】この実施例では、アドレス比較回路が2個設けられる。この理由は、下記の通りである。従来の冗長デコーダでは1個のアドレス比較回路により一致のみの判定を行い、一致したことを受けた通常のワード線の選択パスを止めていた。この方式では、通常のワード線選択パスの禁止のために1段論理とレーシング防止のためにタイミングマージンが必要になる。そこで、この実施例では、一致検出用と不一致検出用の2個のアドレス比較回路を設ける。一致検出があると冗長ワード線の選択を行い、不一致検出があると通常ワード線の選択を行うようとする。これにより、1段論理を減らし、かつ、従来のようなレーシングを起こすタイミング関係を無くし、ワード線の選択動作を高速化することができるものとなる。

【0167】図37と図38には、ワード線と冗長ワード線の選択を行うデコーダ回路の回路図が示されている。図37の回路において、信号XEはノーマル時でのワード線選択タイミング信号である。上記イネーブル用ヒューズを切断状態にしたとき、不良ワード線以外をアクセスしたときは、信号XRD0B～XRD11Bの全てがロウレベルになる。これに応じてJ=0～11のどの冗長デコーダもイネーブル用ヒューズFUSEを切断していない、言い換えるならば、非救済のときには信号BX0かBX0Bがロウレベルになることより、信号XEがハイレベルにされる。これと、信号BX0, BX1によりプリデコード信号XKDB, XKUB (BX10, BX1OBで上下に分かれる) が作られる。信号WCKDB, WCKUBは、これに対応するワード線クリア(ワード線の遠端)信号である。

【0168】図38の回路において、信号XRELBは、12個の冗長デコーダを3個づつ分けて作られる4本の冗長ワード線の選択用の信号である。この信号と信号BX10, BX1OBにより上下マットに対応して冗長ワード線選択信号XRLDB, XRLUB及び冗長ワード線クリア信号WCRLDB, WCRLUBが作られる。

【0169】図39には、センスアンプを活性化させるタイミング発生回路の一実施例の回路図示されている。マット選択信号MSIと信号R3から第1段階の増幅動作を行わせるタイミング信号PN1により形成される信号を受けてオン状態になるNチャンネルMOSFETにより接地50 オン状態となるNチャンネルMOSFETにより接地

電位が与えられる。マット選択信号MS Iと信号R 3から第1段階の増幅動作を行わせるタイミング信号P P 1により形成される信号を受けてオン状態になるPチャンネルMOSFETにより動作電圧V DLが与えられ、第2段階の増幅動作を行わせるタイミング信号P P 2により形成される信号を受けてオン状態になるPチャンネルMOSFETにより動作電圧V DLが与えられる。

【0170】図示しないが、接地電位あるいは動作電圧V DLを与えるNチャンネルMOSFET、PチャンネルMOSFETのゲートを制御する回路の少なくとも最終段のインバータの接地電位(Nチャンネル側)、動作電圧(Pチャンネル側)は、上記センスアンプに与える接地電位あるいは動作電圧V DLが与えられ、上記NチャンネルMOSFETあるいはPチャンネルMOSFETをオフ状態とする場合、電源ノイズにより誤ってオン状態にさせないよう電源線を共通化している。

【0171】第1段階でオン状態になるNチャンネルMOSFETとPチャンネルMOSFETとはそのコンダクタンスが比較的小さくされることによって比較的小さな電流を供給するようにされる。第2段階でオン状態になるNチャンネルMOSFETとPチャンネルMOSFETは、比較的大きなコンダクタンスを持つようにされることによって比較的大きな電流を供給するようにされる。上記マット選択信号MS I(Iは0L/0R~3L/3R)により、32マットのうちの4つのメモリマットのセンスアンプが活性化される。

【0172】図40と図41には、メモリマットに設けられる制御回路の一実施例の回路図が示されている。図40の回路は、マット選択信号MS IL/Rと、信号S L、S R及びロウ系のタイミング信号R 1とR 2から以下の信号を形成する。ここでは、前述のような32マットの中の1個のマット内の閉じた信号として説明する。それ故、信号MS IL/R以外はサフィックスIを省略する。上記信号からは、Xデコーダプリチャージ信号XD PL/R、Xデコーダ引き抜き信号XD GLB/R B、相補データ線プリチャージ信号PC Bを形成する。

【0173】ワード線駆動信号WPHL/Rや信号MS Hは、前記ブートストラップ電圧V CHを動作電圧とするラッチ形態のノアゲート回路により信号のレベル変換が行われる。これらレベル変換された高レベルの信号は、上記ブートストラップ電圧V CHを動作電圧とするインバータ回路を介して出力される。それ故、この実施例のメモリマットにおいて、選択されるワード線は、ロウレベルの非選択レベルからいっきに上記昇圧された選択レベルに変化する。これによって、従来のようにワード線選択信号を用い、それを遅延させた信号との組み合わせによりブートストラップ電圧を得る構成に比べてワード線の選択動作の高速化が可能になる。

【0174】図41の回路は、前記プリデコード信号やXデコーダプリチャージ信号XD PL/R、Xデコーダ

引き抜き信号XD GLB/R Bから選択されるワード線WL、冗長ワード線RWLを形成するデコーダ及び駆動回路である。

【0175】ワード線駆動回路は、その動作電圧が前記のような昇圧電圧V CHを用いているので、前記のように選択ワード線をロウレベルの接地電位V SSから昇圧電圧V CHまで直線的に立ち上げるものである。選択信号MS HとS L及びS Rにより形成されるシェアード線駆動信号SHL/Rも上記同様な昇圧電圧V CHを動作電圧とするものである。それ故、センスアンプと選択される相補データ線との間では、スイッチMOSFETのしきい値電圧によるレベル損失なく信号の授受が可能になるものである。

【0176】図42には、メモリセルアレイの一実施例の回路図が示されている。メモリセルは、情報記憶用のキャパシタとアドレス選択用MOSFETとから構成される。アドレス選択用MOSFETのドレインは、一对の平行に配置される相補データ線の一方に接続される。アドレス選択用MOSFETのゲートは、ワード線に接続される。情報記憶用キャパシタの他端(プレート)にはプレート電圧が供給される。同図には、一对の相補データ線と4本のワード線WL0ないしWL3及び冗長ワード線RWL0ないしRWL3が例示的に示されている。

【0177】ワード線と一对の相補データ線との間のオーバーラップによるカップリングは、コモンモードで相補データ線に現れるので後述する差動センスアンプにより相殺できるものである。なお、相補データ線は、一定の間隔で交差させられて入れ換えが行われるものである。このようにすることによって、相補データ線相互のカップリングの影響を除くことが可能になる。

【0178】上記ワード線の遠端側には、ワード線クリア用のスイッチMOSFETが設けられ、前記のクリア信号WCL0~WCL3及びRWCL0~RWCL3が供給される。シェアード線駆動信号SHLを受けるスイッチMOSFETを介して相補データ線は、センスアンプの入出力ノードに結合される。センスアンプは、その1つが代表として例示的に示されているように、PチャンネルMOSFETとNチャンネルMOSFETからなるCMOSインバータ回路の入力と出力を交差接続させて構成される。なお、この実施例においてセンスアンプは上記のような単位回路をいう場合と、このような単位回路のソースが共通化されてなるメモリマット単位でみた場合とがあることに注意されたい。

【0179】上記センスアンプにおけるPチャンネルMOSFETのコモンソースPPには、前記のようなPチャンネルMOSFETからなるパワースイッチを介して動作電圧V DLの供給が行われ、NチャンネルMOSFETのコモンソースPNには前記のようなNチャンネルMOSFETからなるパワースイッチを介して接地電位

VSSの供給が行われることによってセンスアンプの増幅動作が開始される。

【0180】この実施例では、4対の相補データ線を単位として4対からなる入出力線I00, I00BないしI03, I03Bに接続されるカラムスイッチMOSFETが設けられる。それ故、上記4対のカラムスイッチMOSFETのゲートには、共通にY(カラム)選択線YSが接続される。これに対応して、冗長データ線も4対から構成され、図示しないが4組設けられ選択信号YSR0ないしYSR3が設けられる。

【0181】図43には、リフレッシュカウンタ回路の一実施例の回路図が示されている。このCBRカウンタ回路は、リフレッシュモードのとき、RASB信号に対応した信号RFDBをクロックとしてその計数動作い、リフレッシュアドレス信号ARJを形成する。信号CAIは、キャリー入力信号であり、信号CAJはキャリーアウト信号である。このような単位回路を12個縦列接続し、アドレス信号A0ないしA11に対応したリフレッシュアドレス信号AR0ないしAR11を発生させる。この実施例では、4096ビットスキャンのリフレッシュ動作が行われる。

【0182】図44には、CAS系のコントロール回路の一実施例の一部回路図が示されている。また、第75図には、CAS系のアドレス選択動作の一実施例のタイミング図が示されている。CASB(カラムアドレスストローブ)信号は、CMOSインバータ回路からなる入力回路に供給される。この入力バッファ用のCMOSインバータ回路は、前記同様に約1.6Vのようなロジクスレッショルド電圧を持つようにされる。その動作電圧VCCは、上記ロジクスレッショルド電圧1.6Vの約2倍である3.3Vに設定され、TTLレベルの信号に対応している。信号CASBは、それがロウレベルにされるとY系の回路の動作が開始される。

【0183】上記入力バッファとしてのインバータ回路を通したCASB信号は、前記RASB信号と同様な回路が用いられる。ただし、RAS回路の信号WKBに相当する信号は省略され、回路の電源電圧VCCが定常的に供給される。信号CASBから信号C1、C2が形成される。信号C1は、後述するように二ブルカウンタ、信号DOE、W3B、W5Bや信号CEの制御に用いられ、信号C2Bは、信号WYPの制御に用いられ、信号C2は信号W3B、YL及びDL等の制御に用いられる。信号CEから信号AC1Bが形成され、それにより信号YP及びRYPが形成される。

【0184】信号AC1Bは、メインアンプ、Yデコーダ系の動作を制御する信号であり、信号CEにより発生される。この信号AC1Bにより内部で1ショットバルス(RYP、YP)を作りリードを行う。信号YPは、Yデコーダ系の動作制御信号であり、ライト動作のときにも発生する。信号RYPはメインアンプの動作制御信

号である。

【0185】図45には、Yアドレスバッファを構成する単位回路の一実施例の回路図が示されている。外部端子から供給されるアドレス信号AIと、信号R1を受ける NANDゲート回路は、入力バッファを構成する。すなわち、NANDゲート回路は、信号R1がハイレベルになるとゲートを開いて、外部端子AIから供給されるアドレス信号を内部に取り込む。この信号R1は、スタンバイ状態での電流を低減するためのものである。

10 【0186】すなわち、信号R1がロウレベルにされるスタンバイ状態では、アドレス端子AIの信号に入力回路が応答しなくなる。このようなゲート機能を持つ入力バッファにおいても、そのロジクスレッショルド電圧は、前記のように約1.6Vに設定されるものであり、その動作電圧VCCは前記のように約2倍の3.3Vに設定される。これにより、動作電圧VCCの中点にロジクスレッショルド電圧が設定されるから、動作電圧を効率よく使用でき入力レベルマージンを大きくできる。

20 【0187】信号YLにより出力ハイインピーダンス状態の制御が行われる3状態出力回路は、上記アドレス信号AIを取り込む入力ゲート回路とされる。アドレス信号の取り込み信号YLにより制御される上記同様な3状態出力回路は、上記入力ゲート回路を通したアドレス信号を受けるCMOSインバータ回路の入力と出力との間の正帰還ループを構成してアドレスラッチ動作を行う。このアドレスラッチ回路の出力からは、インバータ回路を通して、内部アドレス信号BYI、BYIBが形成される。上記内部アドレス信号BYI、BYIBと、信号CEから信号AC1Bが形成される。

30 【0188】信号YLを発生させる回路は、図54に示されており、この信号YLの発生モードに応じてYアドレスバッファは4つの動作モードをもつ。第1のモードはノーマルモードであり、信号YLがCASB信号に対応して変化し、スタティックカラム動作を可能にする。第2のモードはニブルモードであり、このときには最初のCASB信号により信号YLが形成されて取り込んだアドレス信号を保持する。第3のモードはCBRモードであり、このときにはCASB信号をリセットして後に

40 ロウレベルにすると信号YLが発生されてアドレス信号の取り込みを行う。第4のモードは、WCBRであり、信号R1と信号YLの間で有効とされるアドレス信号をテストモードを指定する信号として取り込むものである。

【0189】図46ないし図49には、Y冗長回路及びプリデコード回路の一実施例の回路図が示されており、データ線、カラム選択線(以下、単にYS線という場合がある)やセンスアンプの不良救済を行うものである。この実施例におけるY系の冗長回路の基本的な考え方50 は、前記X冗長回路と同様である。すなわち、ブロック

は、X8～X11により分けられる16ブロックからなる。このうち1ブロックの不良データ線が冗長データ線により救済される。したがって、アドレス比較回路にはアドレス信号AX8H, AX8HB～AX11, AX11Bが入力されるものである。

【0190】入出力線I/Oが4ペアあるのに対応して1つのカラム選択線では4ペアの相補データ線が選択される。このため、4ペアの相補データ線の単位で救済される。それ故、アドレスY0とY1は縮退されるため、アドレスY0とY1に対応したヒューズは設けられない。また、×4ビット構成やニブルモードで縮退されるアドレスY10, Y11に対応するヒューズも設けられない。したがって、1ブロック内で冗長YS線は4本同時に出すことになる。実際のレイアウトでは、1ブロックはワード線方向に4分割(Y10, Y11)され、チップ内に長手方向に分散配置される。このことは、前記図4に示したブロックのアドレス割り付けから明らかであろう。

【0191】後述するような64ビット同時テストモードでは、更にアドレスY2とY3も縮退される。しかし、アドレスY2とY3に対応するヒューズも無くすと、1ブロック内で冗長YS線を16本同時に出すことになる。すなわち、冗長データ線が 16×4 (I/Oの数)=64ペア同時に救済される事になり、冗長データ線を多用しなければならなくなるので効率が悪くなる。そこで、アドレスY2とY3に対しては、64ビット同時テスト時に実際の相補データ線不良がある相補データ線に対応するYS線のみ冗長YS線に切り替え、残りは通常のYS線を選択(アドレスY2とY3縮退による4YS線のマルチ選択)を行う。これにより、YSマルチ選択方式の64ビットテストモードを設けるにもかかわらず冗長データ線の数を4倍も用意する必要がなくなる。

【0192】YS線は、上記のように複数のブロックにまたがっているため、もしYS線不良が発生すると同じYS線に属する複数ブロックでデータ線不良となる。これを救済するために、ブロック毎に冗長デコーダを割り付けると、冗長デコーダの数が多数になってしまい救済効率が落ちる。これを防ぐために、ブロック分け用アドレスX8～X11には、それぞれヒューズを2個づつ設けており、下側のヒューズFUSEを切断すると、対応するXアドレスの比較を行わなくなる。このようにして、例えばX8、X9、X11の下側ヒューズFUSEを切断すれば、1本のYS線に属する8ブロックが縮退され、1つの冗長デコーダで救済できるようになり効率向上が図られる。同様に、センスアンプの不良に対しては、X8のみ下側ヒューズFUSEを切断すれば、センスアンプの左右のデータ線が1つの冗長デコーダで救済することができる。

【0193】図46において、上側回路は、イネーブル

に対応し、下側回路はアドレスY4ないしY9に対応している。第47図において、上側回路は、アドレスY2, Y3に対応し、下側回路はアドレスX8～X11に対応している。ヒューズFUSEは、1ショットパルスの信号FUSによりオン状態にされるMOSFETを通してイニシャライズが行われ、ヒューズFUSEが切断されているとインバータ回路の出力ハイレベルによりオン状態になるMOSFETによって接地電位に固定される。ヒューズFUSEが切断されていないと、それによりインバータ回路の入力はハイレベルに固定される。

【0194】救済時において、冗長デコーダにプログラムされたアドレスと入力アドレスとが一致すると、信号RDJがハイレベルになり、不一致であると信号RDJがロウレベルになる。非救済時においては、信号RDJはロウレベルに固定される。64ビット同時テスト時ににおいて、信号YMBがロウレベルに、信号YFIJ、YFIBはアドレスY2とY3に対応するヒューズの状態を出力する。アドレスY2とY3はアドレス比較されない(縮退される)。冗長データ線のテストのとき、アドレスX8～X11は縮退される。アドレスY2とY3の状態が(0, 0)(1, 0)(0, 1)(1, 1)に対応して、J=0, 3, 6, 9の冗長デコーダが救済状態となり、4本の冗長YS線に対応している。このことは、前記X冗長回路と同様な構成である。

【0195】図48において、信号RD0～RD2、RD3～RD5、RD6～RD8及びRD9～RD11のそれぞれに対応して冗長YS線選択信号YRD0B～YRD3Bが形成される。信号YRDは、それがハイレベルにされると冗長選択時に通常のYS線の選択を禁止する。ただし、64ビット同時テスト時には、信号YMBのロウレベルにより、信号YRDはロウレベルに固定され、通常のYS線も同時に選択される。

【0196】信号RA0JB～RA3JBは、アドレスY2とY3に対応したヒューズFUSEの状態をモニタする。ノーマルモードでは、信号YMBのハイレベルによりハイレベルに固定される。64ビット同時テスト時には、救済アドレスが選択された時信号RDJのハイレベルによりアドレスY2とY3のヒューズの状態をデコードして、どれか1つの出力がロウレベルにされる(不良アドレスのY2, Y3のプリデコード信号に相当する)。

【0197】信号RY20B～RY23Bは、J=0～11の12組の冗長デコーダのうち、たまたまY2とY3を除くアドレスが一致して、Y2とY3のみ異なるアドレスが救済されていた時、信号RY20B～RY23Bのうち2本以上をロウレベルにすることができるようJ=0～11のOR(オア)論理を探るものである。すなわち、例えばアドレスY2とY3で縮退される4本のYS線のうち2本が救済されていた場合、その2本を冗長YS線へ、残り2本は通常のYS線に振り分けるた

めに用いられる。

【0198】上記冗長YS線のチェックのために、言い換えるならば、テストモードにおいて冗長YS線を選択して、そこに設けられたメモリセルへの書き込み／読み出しテストを行うようにするため、アドレス信号X8ないしX11のどのアドレス指定に対しても冗長YS線(YSR0～YSR3)が選ばれることが必要になる。また、冗長YS線の指定用にアドレス信号Y2とY3の2ビットが用いられる。すなわち、信号B1(I=2,3)とA(L=8,9,10,11の冗長デコーダに対応)にSTB(冗長テスト信号)又はVCCが供給される。これにより、不良アドレスのヒューズを切断することなく、上記のテストモード時のアドレス信号により等価的にヒューズを切断したのと同様となり、上記アドレス指定された冗長YS線の選択動作を行うことができるものとなる。この回路は、基本的には前記X系の冗長回路と同様であるので、各信号の詳細な説明を省略する。

【0199】この発明に係る欠陥救済法を別の観点から説明すると、以下の通りである。図91(A)には、上記Y系の多重選択による多ビット同時テストモードのときの欠陥救済の一例を別の観点から説明するための概念図が示されている。同図においては、横軸がXアドレスを示し、縦軸がYアドレスを示している。この実施例のように約16Mビットのような記憶容量を持つRAMを構成する場合、Xは4096アドレス、Yも4096アドレスからなる。従来の欠陥救済技術では、X及びYの1つの不良アドレスに対して冗長回路に切り換える。

【0200】それ故、例えば、Y系の1つのアドレスに欠陥が存在すると、それに設けられる4096個のメモリセルが結合されるビット線のアクセスを禁止し、4096個のメモリセルが同様に結合された冗長ビット線に切り換える構成となるものである。これでは、冗長回路の規模が大きくなるため、同図の実施例ではX系のアドレス上位2ビットと、Y系のアドレスの上位2ビットを用いてX及びYアドレスを4分割づつすることにより16のメモリブロックに分割し、各ブロック単位でデータ線を指定できるようにするものである。

【0201】上記のような多ビット同時テストのときあるいはY系のアドレスの上位2ビットを縮退させ×4ビット構成とした時にはY系が多重選択される。したがって、その中に1つでも欠陥が存在する場合、従来の欠陥救済法では、全部を冗長回路に切り換えるものである。それでは、Y系の多重選択テスト用あるいは×4ビット構成用のためだけに欠陥の存在しないビット線も冗長ビット線に切り換えることが必要になる。そこで、同図に点線で示すようにY系を4アドレス同時に選択するとき、欠陥ビット線やYS選択線が存在するブロックだけ冗長ビット線RB上に切り換え、同時選択される残り3アドレスに対応したビット線はノーマルビット線NBLを選択するようとするものである。なお、上記のよう

ブロック構成により、Xアドレスにより分割される他のメモリブロックはビット線が非選択になるものである。このような構成により、欠陥が存在するものみが冗長ビット線に切り換えられるから、用意する冗長ビット線を大幅に少なくできるものである。

【0202】図91(B)には、上記ノーマルモードのときのビット線の欠陥救済の他の一実施例を説明するための概念図が示されている。同図(B)の例では、同じYアドレスに属するビット線のうち、Xアドレスにより分割される4つのブロックのうち、欠陥が存在するブロックのみが冗長ビット線RBLに切り換えられ、他のブロックはノーマルビット線NBLが選択される。このようなブロック単位での欠陥救済により、用意する冗長ビット線あるいはYS選択線を少なくすることができるものである。

【0203】図91(C)には、上記ノーマルモードのときのワード線の欠陥救済の他の一実施例を説明するための概念図が示されている。同図(C)の例では、同じXアドレスに属するワード線のうち、Yアドレスにより分割される4つのブロックのうち、欠陥が存在するブロックのみが冗長ワード線RWLに切り換えられ、他のブロックはノーマルワード線NWLが選択される。このようなブロック単位での欠陥救済により、用意する冗長ワード線を少なくすることができるものである。ただし、この実施例のようなXアドレス信号がYアドレス信号に先行して多重化されて入力されるDRAMでは、上記Yアドレス信号をそのまま利用することができない。そこで、内部でYアドレスと等価なブロックアドレスともいうべきアドレスを前記同様なヒューズ手段を用いること等によりプログラムしておくことによって上記同様な欠陥救済法を実現できるものである。

【0204】図49には、メインアンプの選択信号を形成する回路を含むY系の一部プリデコード回路の一実施例の回路図が示されている。信号ASK(AS0～AS3)は、1群のメンアンプ選択(4ペアのI/O線のうちの1ペア選択)を行う。信号AY20U/D～AY23U/Dは、アドレスY2とY3のプリデコードを行う。アドレスX10により上下マットに分けられている。64ビット同時テスト時には、信号YMBで上記Y2とY3のプリデコードが無視され、第48図の信号RY20B～RY23Bがそのままの論理で出力される。

【0205】信号Y0UB～Y3UB、Y0DB～Y3DBは、アドレスY4とY5をプリデコードし、信号YPに従って出力されるプリデコード信号であり、データ線選択タイミングとされる。信号CEは、そのリセットタイミングを規定するものである。信号Y0UB～Y3UB、Y0DB～Y3DBは、信号YRDがハイレベルのときにはハイレベルとなり通常のYS線を選択を禁止する。

【0206】64ビット同時テスト時には、アドレスY

2とY3で縮退される4YS線が非救済なら、信号AY20U/D～AY23U/Dの4本がハイレベルとなり4本のYS線が選択されるが、救済していると対応するAY20U/D～AY23U/Dのうち1本～4本が出力されず、代わって冗長YS線が1本～4本選択され、冗長YS線と通常YS線とが同時に選択される。AY60U/D～AY83U/Dは、アドレスY6～Y9のプリデコード信号である。信号YR0U/DB～YR3U/DBは、冗長YS線を選択する。これは、信号YOU/DB～Y'3U/DBに対応する。

【0207】図50には、Yデコーダの単位回路と冗長YS線選択回路が示されている。上記のようなプリデコード信号は、3入力の NANDゲート回路によりデコードされる。このデコード出力とY選択タイミング信号YKUB (K=0～3) とはノアゲート回路に供給され、それぞれのノアゲート回路からカラム選択信号YS0～YS3が形成される。前記冗長デコーダ回路により形成された信号から冗長用のカラム選択信号YSR0～YSR3が形成される。

【0208】図51には、ニブルカウンタ回路の一実施例の回路図が示されている。ノーマルモードでは、内部アドレス信号BY1に対応したアドレス信号NAKが出力される。ニブルモードでは、第1サイクルの内部アドレス信号BY1を初めにカウントアップする。×4ビット構成でメモリアクセスを行うとき、スイッチの形態で示したマスタースライスによって信号NAKはハイレベル(VCC)に固定される。

【0209】図52には、Y系の制御信号を形成するコントロール回路の一実施例の回路図が示されている。信号MAは、メインアンプ動作制御信号である。信号DSはメインアンプのデータの出力を制御する信号である。信号MAは、信号AC1B (RYP) の発生に伴い発生する。信号R1は、メインアンプのリセットタイミングを決める。信号DSは、信号MAにより発生する。信号C1とR1は、そのリセットを行うものである。すなわち、メインアンプのデータ出力の制御は、RASBとCASBとの両方のハイレベルでリセットするものである。

【0210】信号WRは、リード/ライトの判別信号である。初段を信号R1により制御し、スタンバイ状態での消費電流の低減を図っている。信号DOEは、データ出力バッファを制御するものであり、リードモードのとき発生される。×4ビット構成の場合、信号C1とWRとの論理積により発生される。×4ビット構成のときには、出力イネーブル信号OE・C1・WRの論理積により発生させられる。ホールド時間t_{OEH} (信号WEからの信号OEホールド時間) 対策のためにWE系信号DLにより、制御信号OEBのラッチを行うようにするものである。

【0211】図53には、動作モードの判定回路の一実

施例の回路図が示されている。信号RN、RFと信号WN、WFは、ノーマル動作、CBR動作、WCBRの動作の制御を行う。信号RNとRFは、信号CE及びYEの制御を行い、信号CRBとLFBは、テスト系回路の制御、具体的にはWCBR時のアドレスのセット/リセットを制御する。

【0212】図54には、Y系のコントール回路の一部の実施例回路が示されている。信号YLは、前記図45に示すようなYアドレスバッファに対してアドレスのラッチを行わせるものである。前記のように各動作モードによってその発生タイミング等が異なる。その動作波形の一例が第77図に示されている。高速ページモード(ノーマルモード)に対応して信号CASBに同期してYアドレスのラッチを行わせる。ニブルモードに対しては、RASサイクルの期間中Yアドレスをラッチする。この理由は、ニブルモードでは、ニブルカウントでアドレス信号が生成されるからである。スタティックカラムモードでは、ライト時のYアドレスをラッチする。CBR時のカウンタテストモードのとき、Yアドレスをラッチする。WCBRモードのときには、RASサイクル期間中Yアドレスをラッチするものである。

【0213】信号DLは、データ入力バッファのデータのセットアップ/ホールドを制御する。高速ページモードやニブルモードでは、CASBがロウレベル、かつWEBがロウレベルによりセットし、CASBのハイレベルによりリセットする。スタティックカラムモードでは、CASBのロウレベル又はWEBのロウレベルによりセットし、ライト動作の終了でリセットする。信号OLBは、ライトしたデータがDOに出力しないようにラッチを行う信号である。これは、リード・モディファイ・ライト動作に対応している。スタティックカラムモードではt_{WB} (信号WEから出力ホールド時間)に対応している。

【0214】図55と図56には、WE系のコントール回路の一部の実施例回路が示されている。図55において、WEB (ライトイネーブル) 信号は、CMOSインバータ回路からなる入力回路に供給される。この入力バッファ用のCMOSインバータ回路は、前記同様に約1.6Vのようなロジックスレッシュルド電圧を持つようになる。この実施例のDRAMにおける周辺回路用の電源電圧VCCは、上記ロジックスレッシュルド電圧1.6Vの約2倍である3.3Vに設定され、TTLレベルの信号に対応している。

【0215】信号W1とW2は、ライト動作を制御するものである。スタンバイ状態のときW1とW2はロウレベルにされる。動作時には、信号WEBの変化に同期して変化する。信号W1は、RAS/WE論理制御(WN/WF)を行い、信号W2はCAS/WE論理制御を行う。t_{ASC} (カラムアドレスセットアップ時間) 確保のためライトセットを遅らせている。信号W3Bは、信

51

号W2により形成された1ショットパルスであり、これより信号W4Bが形成される。

【0216】図56において、信号WYPは書き込み信号がデータ入力バッファから入力出力線I/Oに伝えられるまでの制御を行い、WYPBは書き込み信号が入出力線I/Oからビット線に伝えられるまでの制御を行う。信号IOUは、ライト動作後の入出力線I/Oのプリチャージを行う。これは次のリードサイクルに対応するためである。信号WLはスタティックカラムモードの時のアドレス、データのラッチを行うものである。図76には、ライト動作の一例のタイミング図が示されている。

【0217】図57には、データ入力バッファの一実施例の回路図が示されている。入力回路は、 NANDゲート回路により構成され、前記他の入力回路と同様なロジクスレッショルド電圧を持つ。このゲートの制御信号Aは、 $\times 1$ ビット構成では、4つの入力バッファのうち1つが信号R1となり、残り3つは回路の接地電位VSSが与えられることによって、実質的に無効にされる。 $\times 4$ ビット構成として用いるときには、信号Aは4つの入力バッファの全部に対応して信号R1とされる。動作状態にされる入力バッファの入力部に NANDゲート回路を用い、それに信号R1を供給するのは、前記同様にスタンバイ状態での電流消費を低減させるためである。信号DLにより、書き込みデータのセットアップ/ホールドの制御が行われる。信号MKIは、 $\times 4$ ビット構成時にライトマスクモードの制御に用いられる。信号RASBセットのときの信号DQ1～DQ4のデータにより、ライト/非ライトの制御を行う。信号DI(0～3)は、更にニブルアドレスNAI単位に分割される。

【0218】図58には、メインアンプの制御回路の一実施例の回路図が示され、図59にはメインアンプの一実施例の回路図が示されている。信号RMAはメインアンプの動作を制御するタイミング信号である。信号WMAは、データ入力バッファから入出力線I/Oへの信号伝達(ライト動作)を制御する。信号ILAij～ILCijは、入力出力線I/Oのプルアップを行うものであり、信号IOUは入出力線I/Oをショートする信号である。

【0219】ノーマルモードでは、信号RMAにより1個のメインアンプを動作させる。1つのテストモードでは、信号TEにより16個のメインアンプが一齊に動作状態になり16ビットの一括比較動作が行われる。さらに、別のテストモードでは、信号TEとYMBにより、YS線をマルチ選択させることにより、64ビットの一括比較動作が行われる。

【0220】図89(A)には、一对のメインアンプによる4ビット並列テストを例にしてマルチビットテストの原理を説明する回路図が示されている。すなわち、同図の例に従って前記16個のメインアンプを8対に分

52

け、それらの一対に対応する2つのI/O線ペアのそれに4本のYS線でマルチ選択された4ビットづづの2つのI/O線ペアで合計8ビットからなる読み出しデータを上記8対のメインアンプにパラレルに送出させることによって全部で64ビットのマルチテストを行うものである。

【0221】図89(A)を例にして説明すると、一对のメインアンプMAの一方の入力には、4ビットからなる読み出し信号に対応した相補ビット線BL1とBLB1ないしBL4とBLB4とがYSイッチMOSFETと入出力線I/O及びI/OBとをそれぞれ介して共通に接続される。上記一对のメインアンプMAの他方の入力には、基準電圧VRがそれぞれ供給される。

【0222】この基準電圧VRは、同図(B)の波形図に示すように、ハイレベルの読み出し信号と1ビット不一致の時の信号との中間レベルに設定される。すなわち、同図のように相補ビットBL1とBLB1が同図のように論理“0”(BL1がロウレベル“L”でBLB1がハイレベル“H”)であると、入出力線I/Oのレベルは、プルアップMOSFET(M1)に対してYSイッチMOSFET(M2)及びセンスアンプのMOSFET(M3)が接続される分だけ、そのコンダクタンス比にしたがって同図に点線で示すように低いレベルにされる。

【0223】それ故、上記基準電圧VRは、上記プルアップMOSFET(M1)に対して、YSイッチMOSFET(M2)を2個、センスアンプのMOSFET(M3)を2個直列接続して、上記ハイレベルと1ビット不一致時のロウレベルとの中間レベルにされる。それ故、第89図に示した実施例では、全ビット論理“1”を書き込んで1ビットでも論理“0”があると、一对のメインアンプのうち入出力線I/Oに対応したメンアンプの出力信号がハイレベルからロウレベルに変化し、入出力線I/OBに対応したメンアンプの出力と同じロウレベルになってエラーを検出する。

【0224】上記の場合とは逆に、4ビット全部に論理“0”を書き込んでそれを読み出と、全ビット論理“0”が読み出されると上記の場合とは逆に入出力線I/OB側がハイレベルになり、上記のように1ビットでも不一致があると入出力線I/OBのレベルが上記同様に低くされるため、一对のメインアンプのうち入出力線I/OBに対応したメンアンプの出力信号がハイレベルからロウレベルに変化し、入出力線I/Oに対応したメンアンプの出力と同じロウレベルになってエラーを検出する。なお、全ビットが一致のときには、一对のメインアンプの出力は、ハイレベルとロウレベルに分かれるものとなる。

【0225】このようなマルチビットテストにおいて、例えば図89のような状態にあるとき、入出力線I/OBには、3つのセンスアンプの出力のロウレベルが供給

53

されることによって、比較的低いレベルにされる傾向にある。これにより、不良読み出しが有ったビット線B L B 1には、入出力I/Oのロウレベルが伝えられ、センサアンプを逆転させて不良読み出しのビット線に正常データを書き込んでしまう虞れがある。この対策として、上記マルチビットテストモードのときには、ブルアップMOSFET (M1) のコンダクタンスを大きくさせる。具体的にはマルチビットテストモードのとき、その信号によりオン状態にされるブルアップMOSFETを設けるようにする。これにより、入出力線I/OとI/Oのロウレベルの落ち込みを低くして上記のような誤書き込みを防止することができる。

【0226】あるいは、上記のようなマルチビットテストのときには、その制御信号によってオン状態にされるスイッチMOSFETによって、動作電圧をVCCから約5VのようなVCC E又は昇圧電圧VCHに切り換えるようする。この構成では、上記電圧切り換え相当分だけ入出力線のレベルを相対的に高くできるから、上記のようなロウレベルによる誤書き込みが防止できる。また、ブルアップMOSFETのしきい値電圧を低しきい値電圧とし、入出力線のブルアップレベル（バイアスレベル）その分高くするようにしてもよい。すなわち、この実施例のように約3.3Vのような低電圧VCCで動作する場合、ブルアップMOSFETのしきい値電圧が大きいと、上記ブルアップレベルが低くなり、誤書き込み防止のためのロウレベルマージンが小さくなるからである。

【0227】図54に示した実施例では、本来上記2つのメインアンプにそれぞれ接続される2つのI/O線ペアをトルー（True）どうし、バー（Bar）どうし接続して、2つのメインアンプを上述した形態に共用している。これによりメインアンプの数が倍に増加することを防いでいる。それぞれのI/O線ペアで4ビット、合計8ビットを上記8対のメインアンプで比較し、64ビット同時テストを実現している。上記のようなマルチビットテストの採用によって、約16Mビットのような大記憶容量を持つRAMのテスト時間の短縮化を図ることができるものとなる。ライトモードのときには、信号WMAによりデータ入力バッファからの信号を上記入出力線I/Oに供給すると同時に、信号RMAによりデータをメインアンプにもライトする。これはニブルモード、高速ページモードに対応するものである。

【0228】図60には、メインアンプのデータの出力制御回路の一実施例の回路図が示されている。メインアンプの出力群MA i 0～MA i 3, MA i 0B～MA i 3Bのうちの一対はメインアンプ選択アドレスAS 0～AS 3によって選択され、さらにニブルアドレスNA iによって選択された出力群が信号DSにより出力線MO i B, MO iに送出される。このようにして、16個のメインアンプのうち1つのメインアンプが選択される。

54

×4ビット単位での出力のとき、ニブルアドレスNA iはハイレベルに固定される。信号DSは高速ページモードのとき、RASB・CASBリセットでリセットされる。ニブルモードでは、第1サイクルで4個のメインアンプにデータを入れ、第2サイクルからは取り込んだデータをメインアンプから出力させるだけでよいので信号DSはハイレベルのままになっている。信号TEが形成されるテストモードでは、4個のメインアンプのデータを比較回路（ NANDゲート）を通して1個の出力信号MO iにまとめる。

【0229】図61には、メインアンプの出力制御回路の一実施例の回路図が示されている。信号OLBは、データ出力バッファへのデータ出力を制御する。リード・モディファイ・ライトでのデータラッチを行う。信号TEによりテストモードのとき16個のメインアンプを全て活性化し、その出力信号MO 0～MO 3ないしMO 0B～MO 3Bにデータを出力させる。この比較出力方式としては、2値と3値がある。

【0230】2値方式では、オール論理“1”又は論理“0”的ときには出力DO/DOBにハイレベル/ロウレベルを出力し、フェイルのときにはロウレベル/ハイレベルを出力させる。3値方式ではオール論理“1”的ときには出力DO/DOBにハイレベル/ロウレベルを出力し、オール論理“0”的ときにはロウレベル/ハイレベルを出力し、フェイルのときにはロウレベル/ロウレベルを出力させる。信号TWがハイレベルのときには上記2値出力方式になり、信号TWがロウレベルのときには上記3値出力方式となる。

【0231】図62には、データ出力バッファの一実施例の回路図が示されている。データ出力バッファは、その入力部にレベル変換回路が設けられる。前述のように内部回路は、降圧された電圧VCCにより動作している。それ故、メインアンプを通して伝えられた読み出しだeータは動作電圧VCCにより形成されている。信号DOEによりNANDゲート回路を通したデータは、外部から供給された電源電圧VCC Eにより動作するラッチ形態のノーゲート回路にレベル変換される。このようなレベル変換回路を設けて、NチャンネルMOSFETからなるプッシュプル出力部を駆動することにより、ハイレベル側の出力レベルを高くできるとともに、駆動信号の振幅が大きくなるので高速化が可能になる。

【0232】上記出力部には、出力部MOSFETのゲートを制御するMOSFETと抵抗素子が設けられる。電源電圧VCC E側の出力MOSFETのゲートとソースとの間に設けられ、そのゲートに定常的に接地電位VSSが与えられたMOSFETのしきい値電圧を、上記出力MOSFETのしきい値電圧より低くする。これにより、出力端子DOUTが負の電位になったとき、上記低いしきい値電圧を持つMOSFETがオン状態になつて出力MOSFETのゲートとソースを短絡する。これ

により、上記のような負電圧によって出力MOSFETがオン状態になることはない。

【0233】上記出力ゲート回路を通した比較的早いタイミングで動作する出力回路が別に設けられ、これにより出力信号の立ち上がりと立ち下がりタイミングが早くされる。そして、レベル変換回路を通したデータを受ける出力回路により規定されたレベルまで変化させる。このような構成を探ることによって、高速化を図りつつ出力レベルを比較的長い時間を持って直線的に変化させることができ、出力信号のレベルの変化に伴う電源線や接地線に発生するノイズレベルを小さくすることができる。

【0234】図63と図64には、テスト回路の一実施例の回路図が示されている。WCBRのタイミングによりテストファンクションのセットが行われる。このWCBRにより、取り込まれたアドレスに対応したテスト信号を出力する。上記WCBRにより信号LFBが形成され外部アドレス信号の取り込みが可能になる。信号FRは、電源投入時に全てを論理“0”にリセットする。

【0235】テストファンクションのリセットはRASオンリーリフレッシュ、CBRリフレッシュサイクルにより信号FRをRASB信号のプリチャージ期間にハイレベルとすることでアドレスを全て論理“0”にリセットすることにより行われる。テストモードは、アドレス信号Y0ないしY3に対応するAFIないしAFLの4ビットの組み合わせから形成される信号FMNBに応じて以下の各モードが用意されている。(1)×16ビットテスト、(2)×64ビットテスト、(3)内部電圧VCCを外部電圧VCCEに切り換える。(4)内部電圧VCCモニタ、(5)内部電圧VDLモニタ(6)2048リフレッシュ(8192ビット動作)、(7)冗長エリアテスト、(8)高速化テストがある。

【0236】図65には、動作モードを指定する制御回路の一実施例の回路図が示されている。ボンディングパッドFP0とFP1に対してハイレベル／ロウレベル及びハイインピーダンスを選ぶことによって、その組み合わせから、アルミマスタースライスによって指定される×1ビット構成と×4ビット構成に応じてそれぞれに以下のようないモードが設定される。

【0237】×1ビット構成のとき、パッドFP0とFP1が共にハイインピーダンスのとき信号SCとNBが共にロウレベルになって高速ページモードが指定される。パッドFP0をロウレベルとし、パッドFP1をハイインピーダンスとすると、信号SCがハイレベルになりスタティックカラムモードが指定される。パッドFP0をハイインピーダンスとし、パッドFP1をハイレベル(VCCE)にすると、信号NBがハイレベルになりビブルモードが指定される。

【0238】×4ビット構成のとき、パッドFP0とFP1が共にハイインピーダンスのとき信号SCとNBが

共にロウレベルになって高速ページモードが指定される。パッドFP0をロウレベルとし、パッドFP1をハイインピーダンスとすると、信号SCがハイレベルになりスタティックカラムモードが指定される。パッドFP0をハイインピーダンスとし、パッドFP1をハイレベル(VCCE)にすると信号WBが形成され、高速ページモードでライトマスクモードとなり、パッドFP0をロウレベルとし、パッドFP1をハイレベル(VCCE)にすると上記同様に信号WBが形成され、スタティックカラムでライトマスクモードとなるものである。ライトマスクモードでは、RAS信号の立ち下がりのときWE信号をロウレベルにしておくことにより、出力端子I/Oからライトするピンを設定できる。

【0239】図66には、その他の制御回路の一実施例の回路図が示されている。信号WKBは、基板のバイアス電圧VBBのレベルをモニタする。基板バイアス電圧VBBが約-0.7V以下になると信号WKBがロウレベルになる。基板バイアス電圧VBBが浅いと、MOSFETのしきい値電圧が低くなるため、回路動作により比較的大きな貫通電流が流れラッチアップが生じ易くなるので信号WKBのハイレベルによりRAMのアクセスを禁止するものである。信号INTは、電源電圧VCEのレベルをモニタする。電圧VCCE>3Vでは、信号INTをロウレベルにする。言い換えるならば、外部電源電圧が低いときには、信号INTにより内部の初期状態を設定する。

【0240】この実施例においてブラックボックスで示した遅延回路の具体的構成が示されている。この回路は、ロウレベルからハイレベルになる信号を遅延させる。端子SETをハイレベル(VCC)にすると、その遅延量を短くすることができる。これらは、RAS系のタイミング調整、CASやWE系のパルス発生等に広く用いられている。

【0241】出力端子Q/DQ4は、内部電圧のモニタ端子として利用される。この端子に結合されるデータ出力バッファを出力ハイインピーダンス状態にしておいて、信号VMCHでスイッチ制御されるMOSFETを介して周辺回路用の動作電圧VCCを出力させ、信号VMDHによりスイッチ制御されるMOSFETを介してセンサアンプ用の動作電圧VDLを出力させる。また、出力端子Q/DQ4は欠陥救済の有無を判定するシグチャ端子としも利用される。欠陥救済が行われたチップでは、SIGBがロウレベルとなり、Q/DQ4端子にVCCEよりしきい値電圧Vthのおよそ3倍以上高い電圧を印加した場合に、回路の接地電位に電流が流れ込むことで、欠陥救済が行われたチップであることを判定する。

【0242】図67には、基板バックバイアス電圧発生回路の一実施例の回路図が示されている。この実施例では、動作電圧として周辺回路用の低電圧VCCが用いら

れる。このように内部電圧VCCにより基板バックバイアス電圧を形成するようにしたのは、後述するように内部電圧VCCは安定化されているから基板バイアス電圧の安定化が可能になる。

【0243】基板バイアス電圧VBBは、バイアス電圧発生回路VBBAとVBBSにより形成される。基板バイアス電圧発生回路VBBAは、メインの発生回路であり基板レベルが浅いときと、動作時に回路による基板電流IBBを補うために動作する。基板バイアス電圧発生回路VBBSはサブの発生回路であり、リーク電流や微少直流電流によるVBBの変動を補うよう定常的に動作する。

【0244】信号VBBSは、基板電圧VBBのレベルのモニタ出力である。これにより、上記発振回路の動作が制御され、上記基板レベルが浅いときに回路VBBAによりVBBが約-2Vになるまで動作される。端子VBTは、回路VBBA、VBBSの動作を止め、例えば外部からVBBパッドを通して基板電圧を設定し、動作マージンの評価をするためのものである。

【0245】図68には、内部昇圧電圧発生回路の一実施例の回路図が示されている。回路VCHAは、メインの昇圧電圧発生回路であり、昇圧電圧VCHのモニタ信号VHSBによりレベルが低いとき、又は信号R1BによりRAMがアクセスされたときに周辺回路用の内部動作電圧VCCと発振回路により形成された発振信号OSCHとを受けるチャージポンプ回路により前記のような約5.3Vのような昇圧電圧VCHを形成する。回路VCHSは、サブの昇圧電圧発生回路であり、定常的に動作して上記昇圧電圧VCHを形成する。この回路VCHSは、ワード線のリーク電流を補う程度に小さな電流供給能力しか持たない。

【0246】後述するような加速試験等のために内部電圧VCCは、電源電圧VCC-Eが一定レベル以上に高くされるとそれに応じて高くされる。これに対応して、昇圧電圧VCHも一定レベルをもって上記VCCの上昇に応じて高くされる。出力部に設けられたダイオード形態のMOSFETは、そのレベルクランプ用のものである。端子VHTは、回路VCHA、VCHSの動作を止め、例えば外部からVCHパッドを通して昇圧電圧を設定し、動作マージンの評価をするためのものである。なお、図示しないが、昇圧電圧VCHの電源インピーダンスを低くするためのキャパシタは、動作する回路の単位、例えばメモリマット毎にそれぞれ分散して設けられる。

【0247】図69には、内部電圧降圧回路の一実施例の回路図が示されている。基準電圧VREFは、MOSFETのしきい値電圧Vthの差を利用して形成された高精度の基準電圧である。この電圧から定圧VLを形成して、それを演算増幅回路により直流増幅して、前記約3.3Vの電圧VDLとVCCを生成する。動作電流を

小さくするために、上記電圧VCCとVDLをそれぞれ生成する回路は、信号LDとLCにより、DRAMが動作状態にされるときのみ動作する。そして、これとは別に電源電圧VCC-Eが一定レベル以上であるとき信号LSにより定常的に動作状態になってスタンバイ時の降圧電圧を形成する回路が設けられる。なお、電源投入直後においては、外部電圧VCC-Eが一定電圧に達するまでの間は、信号INTにより信号SBが形成され、それに応じて強制的に信号LD、LC及びLSが形成され全回路が一齊に動作状態になり、内部回路動作電圧を高速に立ち上げるものである。

【0248】同図において、抵抗とキャパシタで示した回路は、発振防止のための位相余裕を大きくするためのものである。ヒューズF1ないしF4は、それをレーザー光線により選択的き切断することによって、基準電圧VLの調整を可能にしている。テストファンクションでは、信号VEにより信号LD、LC及びLSをロウレベルにして演算増幅回路の動作を停止させるとともに、信号VHEによりオン状態になるMOSFETにより、演算増幅回路のPチャンネル出力MOSFETのゲートにロウレベルを供給してオン状態にする。これにより、外部電圧VCC-Eが上記オン状態になったPチャンネルMOSFETを介して内部電圧VDL及びVCCをVCC-Eに切り換えることができるものである。また、外部電源電圧VCC-Eが一定レベル（例えば、約6.6V）を超えて高くなると、それに応じて基準電圧VLも高くなり、内部電圧VCCやVDLも高くさせる。これは、エージング等の加速試験に対応するものである。

【0249】図70には、RAS系の動作の一例のタイミング図が示されている。同図においては、RASB信号によるメモリアクセス開始からワード線WLの選択までとそのワード線のリセットを行わせる主要なタイミング信号の概略波形図が示されている。

【0250】図71には、RAS系の動作の一例のタイミング図が示されている。同図には、ワード線の選択タイミング図が示されている。また、2サイクル目には冗長系タイミングが示されている。

【0251】図72には、RAS系の動作の一例のタイミング図が示されている。同図には、センスアンプを活性化させるタイミング信号やそれによって駆動されるコモンソース線の波形図が示されている。

【0252】図73には、Xアドレスバッファの動作の一例を示すタイミング図が示されている。同図には、RASB信号とCASB信号との間の相互のタイミングが示されている。

【0253】図74には、CAS系の動作の一例のタイミング図が示されている。同図においては、リードモード(READ)、アーリー・ライトモード(EW)、リード・モディファイ・ライトモード(RMW)、RASオンリーリフレッシュモード、CBRリフレッシュモ-

ド、カウンタテストモード、及びテストモードセット (WCBR) の順序で主要信号の波形図が示されている。

【0254】図75には、CAS系のアドレス選択動作の一実施例のタイミング図が示されている。同図には、Y系のアドレス選択を行う主要なタイミング信号が示されている。

【0255】図76には、ライト動作の一例を示すタイミング図が示されている。同図には、WE系の主要なタイミング信号が示されている。

【0256】図77には、Yアドレスバッファの動作の一例を示すタイミング図が示されている。同図には、高速ページモード (FP) と、ニブルモード (N) 及びスタティックカラムモード (SC) 時のアドレスラッチを制御するタイミング信号YLを中心に描かれている。

【0257】図78には、テストモードの動作の一実施例を示すタイミング図が示されている。同図には、アドレスの取り込みとラッチ動作を中心にして描かれている。

【0258】図79には、CAS系の動作の一例を示すタイミング図が示されている。同図においては、テストモード系の信号を対象として、リードモード (READ)、アーリー・ライトモード (EW)、リード・モディファイ・ライトモード (RMW)、RASオンリーリフレッシュモード、CBRリフレッシュモード、カウンタテストモード、及びテストモードセット (WCBR) の順序で各信号の波形図が例示的に示されている。

【0259】図80には、CAS系の動作の一例を示すタイミング図が示されている。同図においては、 $\times 4$ ビット構成時を対象として、リードモード (READ)、アーリー・ライトモード (EW)、リード・モディファイ・ライトモード (RMW)、RASオンリーリフレッシュモード、CBRリフレッシュモード、カウンタテストモード、及びテストモードセット (WCBR) の順序で各信号の波形図が例示的に示されている。

【0260】図81には、CAS系の動作の一例を示すタイミング図が示されている。同図においては、ライトマスクモードを対象として、リードモード (READ)、アーリー・ライトモード (EW)、リード・モディファイ・ライトモード (RMW)、RASオンリーリフレッシュモード、CBRリフレッシュモード、カウンタテストモード、及びテストモードセット (WCBR) の順序で各信号の波形図が例示的に示されている。

【0261】図82には、この発明に係る欠陥救済法の一実施例を示すブロック図が示されている。Xデコーダ (含むワード線駆動回路) により選択される複数のワード線に対して、1つの冗長ワード線が設けられる。この冗長ワード線は、上記Xデコーダに対応した個所で、上記複数のワード線と交差するように、言い換えるならば、Xデコーダの出力端子の列と平行になるように

配置される。特に制限されないが、上記冗長ワード線は、二本の平行に配置された配線により救済を行うべき複数のワード線と交差している。上記二本の平行に配置された配線の一端は接地電位が与えられるものである。

【0262】この構成では、上記ワード線に欠陥がないときには、冗長ワード線には接地電位が与えられるものであるため定常に非選択状態になっている。ワード線の一本に同図で \times で示したような箇所に欠陥 (例えば断線) があるとき、同図に \triangle を付した箇所でワード線の

10 切断を行わせる。同様に冗長ワード線は、上記接地電位から切り離すために、 \triangle を付したように欠陥ワード線より右側 (冗長ワード線側) で切断させる。そして、上記欠陥ワード線の選択信号を形成するデコード出力を○で付した交差箇所で冗長ワード線と接続させる。同様に、欠陥ワード線を非選択状態にするため、上記○を付した交差箇所で接地電位が与えられた配線と接続させる。上記のような配線の切断と接続とは、特に制限されないが、共にレーザー光線の照射による配線加工技術を利用して行うようになるものである。

20 【0263】この構成では、ワード線選択回路の出力端子から不良ワード線を切り離して、それに代えて冗長ワード線を接続する方式を探るため、不良アドレスを記憶する記憶回路やアドレス比較回路が不要となる。これにより、半導体記憶装置の高集積化と低消費電力化が可能になる。また、上記のようなアドレス比較動作が不要になるから、メモリアクセスの高速化も可能になる。また、複数本のワード線毎に上記のような冗長ワード線を設けた場合、冗長ワード線を用いないとき、それに定常に接地電位が与えられることによって、ワード線相互のカップリングを抑えるというシールド作用を持たせることができる。

30 【0264】図83には、この発明に係る欠陥救済法の他の一実施例を示すブロック図が示されている。Yデコーダ回路により形成される複数からなるカラム選択線に対して、1つの冗長カラム選択線が設けられる。これらの各カラム選択線は、同図ではセンスアンプの中に含まれるカラムスイッチMOSFETのゲートに伝えられ、同図に示されたビット線 (データ線) を実質的に選択してコモン入出力線に接続させる。この冗長カラム選択線は、上記Yデコーダに対応した箇所で、上記複数のカラム選択線と交差するように、言い換えるならば、Yデコーダの出力端子の列と平行になるように配置される。特に制限されないが、上記冗長カラム選択線は、二本の平行に配置された配線により救済を行うべき複数のカラム選択線と交差している。上記二本の平行に配置された配線の一端は接地電位が与えられるものである。

40 【0265】この構成では、上記ビット線及びセンサアンプに欠陥がないときには、冗長カラム選択線には接地電位が与えられるものであるため定常に非選択状態になっている。ビット線の一本に同図で \times で示したような

61

個所に欠陥（例えば断線）があるとき、同図に△を付した個所でカラム選択線の切断を行わせる。同様に冗長カラム選択線は、上記接地電位から切り離すために、△を付したように欠陥ビット線に対応したカラム選択線より上側（冗長カラム選択線側）で切断させる。そして、上記欠陥ビット線の選択信号を形成するデコード出力を○で付した交差部分で個所で冗長カラム選択線と接続される。同様に、欠陥ビットに対応したカラム選択線を非選択状態にするため、上記○を付した交差部分で接地電位が与えられた配線と接続される。上記のような配線の切断と接続とは、特に制限されないが、共にレーザー光線の照射により行うようにするものである。

【0266】この構成では、Yデコーダの出力端子から不良ビット線に対応したカラム選択線を切り離して、それに代えて冗長ビット線に対応したカラム選択線に接続する方式を探るため、不良アドレスを記憶する記憶回路やアドレス比較回路が不要となる。これにより、半導体記憶装置の高集積化と低消費電力化が可能になる。また、上記のようなアドレス比較動作が不要になるから、メモリアクセスの高速化も可能になる。また、複数本のカラム選択線毎に上記のような冗長カラム選択線を設けた場合、冗長カラム選択線を用いないとき、それに定常に接地電位が与えられることによって、カラム選択線相互のカップリングを抑えるというシールド作用を持たせることができる。

【0267】図84(A)ないし(C)には、ワード線のテスト法を説明するための一実施例の波形図とそれに対応した回路図が示されている。この実施例では、制御信号EMが新たに設けられる。この信号EMは、外部端子から供給されるものの他、前記のようなテストモードにおいてアドレス信号の組み合わせからなる1つのテストモードとして新たに付加される。同図(A)には、ノーマルモードでのワード線の概略選択動作のタイミング図が示されている。このようにノーマルモードでは、RAS系の選択動作に従い、入力されたアドレス指定A0ないしA3により、それに対応したワード線が順次選択される。

【0268】これに対して、上記信号EMをハイレベルとするエージングモード（テストモードの1つとして設定）では、RASB信号がロウレベルからハイレベルにリセットされても選択されたワード線WL1はハイレベルのままに維持される。それ故、RASB信号により歩進されたアドレスA0ないしA3を入力すると、上記のように順次選択されたワード線WL1ないしWL3がRASB信号のハイレベルではリセットされなくなる。特に制限されないが、信号EMをロウレベルにすることによって、上記選択状態にされたワード線WL1ないしWL3のリセットが行われる。

【0269】同図(C)には、そのワード線選択回路の一実施例の回路図が示されている。信号EMは、昇圧電

62

圧VCHを動作電圧とするラッチ形態のノアゲート回路からなるレベル変換回路によってレベル変換され、エージングモードのときロウレベルになる。これにより、PチャンネルMOSFETがオン状態になって、ワード線WLのハイレベルを上記信号WPHLを受けるPチャンネルMOSFETと直列形態に接続されたPチャンネルMOSFETがオフ状態になり、ワード線のリセット信号WPHLを受けるPチャンネルMOSFETの出力を無効にする。これにより、ワード線WLはいったんハイレベルにされると、その状態を維持するものとなる。

【0270】ワード線WLをリセットするとき又は通常モードのときに、信号EMのロウレベルに応じて上記レベル変換出力は高レベル(VCH)になる。これにより、上記PチャンネルMOSFETがオフ状態になり、上記信号WPHLを受けるPチャンネルMOSFETと直列接続されるPチャンネルMOSFETが共にオン状態になって、ワード線WLを駆動するCMOSインバータ回路の入力を高レベルとして、ワード線WLをハイレベルからロウレベルにリセットさせる。

【0271】上記ワード線を駆動するCMOSインバータ回路の入力には、その出力信号を受けるインバータ回路によって制御されるスイッチMOSFETが設けられる。これにより、上記のような多重選択のときに、非選択になった信号XOUBのハイレベルが上記選択レベルを維持すべきCMOSインバータ回路に伝えられてしまうことを防止するものである。

【0272】エージングのとき、信号EMをハイレベルとしておいて、ワード線の1本づつ選択するとその間ワード線を選択状態に維持することができる。これにより、選択ワード線のハイレベル時間を長くすることができるためストレスのデューティが高くなり、比較的単時間での効率的なエージングの実施が可能になる。

【0273】図85(A)ないし(D)には、信号量マージンテスト法の一実施例が示されている。この実施例では、制御信号SMが新たに設けられる。この信号SMは、外部端子から供給されるものの他、前記のようなテストモードにおいてアドレス信号の組み合わせからなる1つのテストモードとして新たに付加される。同図(A)には、一对の相補ビット線に関連するセンサアンプ、プリチャージ回路、カラムスイッチ及びシェアードスイッチ回路の各回路が代表として例示的に示されている。

【0274】同図(B)には、ノーマルモードの動作波形図が示されている。ノーマルモードのときには、信号SMがロウレベルにされる。これに応じて、選択されたワード線(L)側のシェアード選択信号SHLがハイレベルの選択レベルに、非選択にされるワード線(R)側のシェアード選択信号SHRがロウレベルの非選択にされる。それ故、相補ビット線BLには、選択されたメモリセルからの記憶情報が読み出される。

【0275】同図(C)には、信号量テストモードの動作波形図が示されている。信号量テストモードのときには、信号SMがハイレベルにされる。これに応じて、選択されたワード線(L)側のシェアード選択信号SHLとともに、非選択にされるワード線(R)側のシェアード選択信号SHRもハイレベルにされる。それ故、センスアンプの入力には、左右のビット線BLが結合されるからビット線容量が約2倍になる。それ故、選択されたメモリセルからの記憶情報の読み出しレベルは、上記ノーマルモードの約1/2に低減される。これを受けてセンスアンプが正確に増幅動作を行うか否かの信号量マージンテストが可能になる。

【0276】同図(D)には、そのシェアード選択信号発生回路の一実施例の回路図が示されている。同図には、制御信号SMが追加されノアゲート回路を通して選択信号SL, SRの有効/無効が制御される。すなわち、信号SMがハイレベルのとには、信号SL/SRの両方共が強制的に選択レベルにされ、上記信号SHL及びSHRをハイレベルの選択レベルにする。なお、この選択レベルは、前記同様に昇圧電圧VCHとなるものである。

【0277】図86には、ファンクションモードの他の一実施例が示されている。WCBR等により形成されたファンクションセット信号により、アドレス端子A0ないしA3から直接バイナリーの数値データを入力する。この数値データは、例えば電圧デコーダ(ディジタル/アナログ変換回路)により、S0VないしS10Vのアナログ電圧に変化される。このアナログ電圧SiVをボルテージフォロワ構成の演算増幅回路等からなる内部電圧発生回路に供給し、前記のような内部電圧VCCやVDLを形成する。この構成では、内部動作電圧を任意に設定できる。これにより、電圧マージン試験やエージング時の加速試験等が簡単になる。

【0278】上記アドレス端子A0ないしA3から直接バイナリーの数値データは、時間デコーダに入力してデコード信号S0DないしS10Dを形成し、その信号SiD遅延回路に入力する。この遅延回路は、信号S0DないしS10Dにより遅延時間が0ないし10nsのように可変にされるものとなる。これにより、信号SiDにより任意の遅延時間を得ることができる。この遅延回路は、例えば、RAS系、CAS系の時系列的なタイミング信号を形成するときの遅延回路として用いられる。これを利用することにより例えば時間マージンのテストが可能になる。

【0279】図87には、リフレッシュアドレスカウンタの他の一実施例が示されている。この実施例では、制御信号CSが新たに設けられる。この信号CSは、外部端子から供給されるものの他、前記のようなテストモードにおいてアドレス信号の組み合わせからなる1つのテストモードとして新たに付加され、あるいはパワーオン

検知信号等により形成される。

【0280】同図(A)には、ノーマルモードの動作波形図が示されている。ノーマルモードのときには、信号CSがロウレベルにされる。これに応じて、CBRリフレッシュのときには、RASB信号をクロックとしてカウンタ回路は計数動作を行いリフレッシュアドレス信号ARIを形成する。

【0281】同図(B)には、カウンタセットの動作波形図が示されている。カウンタセットのときには、信号CSがハイレベルにされる。このとき、CBRを行うとRASB信号のロウレベルに同期して入力されるアドレス信号がカンウタ初期値として入力される。信号CSがロウレベルになると、カウンタ回路はその初期値を+1して保持する。

【0282】同図(C)には、その回路図が示されている。上記のような外部入力を可能にするために、信号CSによって制御される外部セット入力回路が付加される。

【0283】第88図には、内部電源モニタ方式の他の一実施例が示されている。同図(A)には、そのブロックが示されている。内部降圧電源回路VCC又はVDLにより形成された電圧VCC又はVDLは、レベル比較回路の一方の入力に供給される。レベル比較回路の他の入力には、外部ピンを介して供給された参照電圧が供給される。レベル比較回路は、両者の電圧の大小関係を外部端子DOUTに2値信号として出力する。

【0284】同図(B)には、その動作を説明するための波形図が示されている。同図に点線で示すように外部ピンに供給される電圧を変化させ、その出力信号DOUのハイレベル/ロウレベルの変化点から、間接的に電圧VDLの電圧値を知ることができる。外部ピンから供給させる入力電圧は、そのまま一对一対応でレベル比較回路に供給するもの他、レベル減衰又は増大させて供給するものであってもよい。同様に電圧VCCや電圧VDLも一定の割合でレベル減衰させるものであってもよい。このようにレベル減衰させた場合には、前記のような昇圧電圧VCHのレベルモニタも可能になる。この実施例のように内部にレベル比較回路を設ける構成では、アナログ電圧をそのまま外部に出力させる方式における出力電圧経路でのレベル変動の影響を受けないから、高精度でレベルをモニタすることができる。

【0285】図90には、メモリセル部とY選択を行うNチャンネル型のカラムスイッチMOSFET、及び他のCMOS回路に用いられるPチャンネルMOSFETの一実施例の概略素子構造断面図が示されている。同図においては、ビット線方向における概略素子構造断面図が示されている。メモリセルとカラムスイッチを構成するNチャンネルMOSFETとは、P型基板41の上に形成されたP型WELLに形成される。

【0286】同図では、ポリサイドからなるビット線5

0に対して一对のメモリセルが設けられる。すなわち、一对のメモリセルを構成するアドレス選択用MOSFETの共通化されたソース、ドレイン44に対して、セルファライメント技術により形成されたコンタクトホールに導電性ポリシリコンとなるパッドコンタクト47が設けられる。上記共通化されたソース、ドレイン44の左右には、キャパシタ側のソース、ドレイン44がそれぞれ設けられ、両領域の間には、薄いゲート絶縁膜53を介してゲート電極46が形成される。このゲート電極46は、導電性ポリシリコンからなりワード線を構成する。このワード線は、その上に形成されたアルミニウム層52によってワードシャントが行われる。同図には、同図面と垂直方向にピッチがずれた他のメモリセルのアドレス選択用MOSFETのゲートに接続されるワード線46が例示的に示されている。このワード線46は、比較的厚い厚さのフィールド絶縁膜上に形成されている。

【0287】上記アドレス選択用MOSFETのキャパシタ側のソース、ドレインは、情報記憶用キャパシタのストアノードを構成する導電性ポリシリコン48に接続され、このポリシリコン48は、薄い絶縁膜54を介して上記キャパシタのプレート電極を構成するポリシリコン49が設けられる。上記ビット線50の上には、カラム選択線を形成する第1層目メタル層としてのタングステン層51が設けられる。特に制限されないが、上記ビット線を構成するポリサイド50は、同図では省略されているが、シェアード選択スイッチMOSFETを介して上記タングステン層51と接続され、同図のカラムスイッチを構成するMOSFETの一方のソース、ドレイン44に接続される。このMOSFETのI/O側のソース、ドレイン44は、上記のように上記メモリセルのアドレス選択用MOSFETと同様にパッドコンタクト47を介して1層目のメタル層51を介して2層目のアルミニウム52からなる入出力線I/Oに接続される。同図の右側にはPチャンネルMOSFETが設けられる例が示されている。このPチャンネルMOSFETは、センスアンプや他のCMOS回路に用いられる。このようにPチャンネルMOSFETは、N型WELL43に形成され、ソース、ドレイン45とゲート46から構成される。

【0288】この実施例では、上記のように入出力線I/Oに接続されるカラムスイッチを構成するNチャンネルMOSFETとして、その入出力線I/Oに接続されるソース、ドレインにメモリセルのアドレス選択用MOSFETと同様のパッドコンタクト47を用いる。この構成では、ソース、ドレインの表面の酸化膜に形成するコンタクト用の穴開けを行うのに、セルファライメント技術を利用することができます。これによって、パッドコンタクト47下のソース、ドレインとしては、コンタクト穴開け用のマスクずれを考慮して大きく形成する必要

がないから同図に示すように必要最小に小さく形成することができる。これによって、高集積化と寄生容量値を減らすことができる。特に、入出力線I/Oのように多数のカラムスイッチMOSFETのソース、ドレインが接続される場合には、上記カラムスイッチMOSFETのソース、ドレインの寄生容量の低減にしたがって寄生容量値を大幅に低減させることができる。これにより、入出力線I/Oの配線容量が大幅に低減できるから信号伝達速度が高速になり、書き込み/読み出し動作の高速化が可能になる。

【0289】上記のようなパッドコンタクトを用いるMOSFETとしては、上記のようなカラムスイッチMOSFETの他、センスアンプを構成するMOSFET、ビット線のプリチャージMOSFET、ビット線のショートMOSFET、シェアードセンスアンプ選択用MOSFET、ワード線ドライバ用MOSFET等のように微細化と寄生容量の低減を必要とする各回路に利用することができるものである。

【0290】図92には、メインアンプ選択回路の他の一実施例を示す概略回路図が示されている。同図の実施例では、メインアンプMAは、メインアンプMAに対して上下に分割されて配置されたメモリマットに共通に用いられる。すなわち、メモリセルアレイMとセンスアンプSとからなる一对のメモリマットに対して、その中央部にメインアンプMAが配置される。上記メモリマットの入出力線I/OとI/OBは、マット選択信号MSUとMSDによりスイッチ制御されるスイッチMOSFETを介して、メインアンプMAの入力に選択的に接続される。上記メモリマットとセンスアンプのレイアウト関係は、前記図2の実施例と基本的に同様であり、メインアンプの数を減らすことができる。

【0291】単にメインアンプの数を減らすのみであれば、メインアンプMAを上側のメモリマットの上側又は下側のメモリマットの下側に配置することができる。しかしこの場合、メインアンプMAの入力端子に接続される入出力線のうち、反対側のメモリマットに対応したものの配線が長くなってしまう。これに対して、同図及び前記図2等に示した実施例のように、分割されたメモリマットの中央にメインアンプを配置する構成では、両メモリマットに配置される入出力線I/OとI/OBの長さが等しく短くなるため、メモリアクセスの高速化が可能になる。

【0292】図93には、メインアンプ選択回路の更に他の一実施例を示す概略回路図が示されている。同図の実施例では、メインアンプMAは、メインアンプMAに対して上下に分割されて配置されたメモリマットに共通に用いられる。この実施例のメモリマットは、センスアンプSを中心にしてメモリセルアレイが左右に2分割されるというシェアードセンスアンプが用いられる。この構成において、上記分割されたメモリセルアレイをメモ

マットとみなし、それぞれに入出力線I/OとI/OBを配置し、マット選択信号MS0ないしMS3によりスイッチ制御されるスイッチMOSFETを介して、メインアンプMAの入力に選択的に接続される。上記メモリマットとセンサアンプのレイアウト関係は、前記図2の実施例と基本的に同様であり、メインアンプの数を減らすことができるとともに、上記入出力線の長さを実質的に短くできる。

【0293】この実施例のように一对のメモリセルアレイMに対してそれぞれ入出力線I/OとI/OBを配置する構成では、入出力線I/OとI/OBに接続されるカラムスイッチMOSFETの数が半分づつに分割できる。これにより、上記入出力線の長さを実質的に短くできることと相俟って配線容量を小さくできるから高速動作化が可能になる。

【0294】図94には、この発明に係るDRAMの他の一実施例のレイアウト図が示されている。この実施例では、前記図2のレイアウトを基本にし、半導体チップを縦方向の中心線で2分割し、上記中心線に対して軸対称的に前記図2のレイアウトを配置するものである。この構成では、メモリチップの半分づつにおいて、それぞれ前記縦中央部と横中央部のエリアからなる十文字エリアが設けられる。同図のように、縦中央線によりメモリチップを分割した場合には、横中央部は一直線上に配置されることになる。上記のような2つの十文字エリアによりメモリアレイは8分割される。そして、上記の2つからなる十文字エリアに前記実施例と同様に周辺回路やボンディングパッドを配置し、それぞれにLOCリードによるボンディングが行われる。

【0295】このようなレイアウトを前記16Mビットのような記憶容量を持つダイナミック型RAMに適用した場合、同図の例ではワード線長が半分に短くなりいつそうの高速アクセスが可能となる。また、メモリマットがより小さく細分化されるため、それに応じて低消費電力も可能になる。また、上記の十文字エリアとそれにより分割される4つのエリアを基本構成とし、それを上記のように2組設けることよりRAMのいっその大記憶容量化が可能になるものである。

【0296】同図のようにメモリチップの縦中心線でそれを2分割してそれぞれに上記のような十文字エリアを設ける構成の他、メモリチップの横中心線でそれを2分割し、前記実施例と同様な手法により形成された十文字エリアを設けるものであってもよい。さらに、これらを組み合わせてより他分割してもよい。

【0297】図95には、この発明に係るメモリセルアレイの一実施例のパターン図が示されている。ビット線は、隣接するビット線対相互のカップリング雑音を低減させるため一定の間隔を持ってクロスさせられる。このようなビット線クロス方式を探るとき、ビット線クロス部での面積が増加してしまうという問題が生じる。そこ

で、この実施例ではクロス用の配線として、カラム選択線として用いる配線層を利用する。すなわち、同図に示すようにカラム選択線として1層目のメタル層を用いる場合には、いれ替えが行われるポリサイド層からなるビット線に対して、その上層に形成される1層目メタル配線を用いるものである。このような1層目メタル層を利用するという構成を探ることによってビット線クロス部に専用の配線層が不要にできる。

【0298】上記ビット線と平行に延長されるカラム選択線との寄生容量を均一化するために、上記ビット線クロス部において、カラム選択線をビット線対の1ピッチ分だけずれるよう折り曲げるものである。これにより、2対からなるビット線に1本のカラム選択線が両方のビット線対に対して同等の寄生容量を持つようになるとともに、上記折り曲げ部を設けることによりビット線クロス部として利用できる。これにより、ビット線クロス部として格別なエリアが不要になり各種配線パターンの連続性を損なわないようになる。

【0299】上記ビット線のクロス部を上層の配線層を利用して行う場合には、下地のメモリセルを構成するキャバシタや、アドレス選択用MOSFETの均一性に悪影響を与えることがない。上記のことから、メモリセルを構成するデバイス(キャバシタとMOSFET)の連続性及び均一性が保たれ、個々のビット線の特性マージンのバラツキを少なくできる。さらに、パターンの連続性やビット線コントラクトを離してクロス用コントラクトをとっているため製造条件及び加工条件に対して特に問題を起こさなくなる。

【0300】このことは、図96(A)に示した断面図及び同図(B)に示した模式図からも容易に理解できよう。同図(A)の断面図に示すように、ビット線のクロス部では、その下層のポリサイドからなるビット線対が相互に分離され、一方のビット線がポリサイドのままで他方のビット線の位置に入れ換わり、他方のビット線はその上層に形成される第1層目のメタル層により上記一方のビット線と交差して一方のビット線の位置に入れ替わるようにされるものである。

【0301】図97ないし図99には、シェードセンスアンプ部とそれに対応したメモリセルアレイ部の一実施例のレイアウト図が示されている。図97において、右側に配置されるメモリセルアレイ部とシェードMOSFETとの間には、段差緩衝領域を構成するダミー層69と70が設けられ、同図に縦方向に延長されるよう形成されている。この段差緩衝領域は、この実施例のように積層型メモリセルを用いた場合には、メモリセルアレイ部が他の周辺回路に比べて約1μm程度高くなってしまう。このため、メモリセルアレイ部と周辺回路部との段差が急になり配線層等の加工及び段差付近のコントラクトホールの開口が難しくなる。

【0302】そこで、同図に示すようにMOSFETの

ゲート電極と同時に形成される1層目ポリシリコン69と、段差緩衝用ワード線70をダミー層として形成する。この構成では、第100図の断面図から明らかなように、上記のようなダミー層を設けることにより、メモリセルアレイ部と周辺回路部との段差を緩やかにすることができる。また、この実施例では、この段差緩衝領域を利用して、その部分にN⁺拡散層を形成し、電圧VDLを供給することによってメモリセルアレイ部のガードリング機能を持たせるものである。これにより、例えば周辺回路側の動作により発生したマイノリティキャリアが、メモリセルアレイ部に到達して記憶電荷と結合して保持時間が短くされてしまうことが防止できる。

【0303】図98には、上記図97の左側に配置されるYゲート（カラムスイッチMOSFET）部とセンスアンプを構成するPチャンネルMOSFETのパターン図が示されている。そして、図99には更に左側に配置されるビット線プリチャージMOSFET、センスアンプを構成するNチャンネルMOSFET及びシェアードMOSFETと左側のメモリセルアレイ部のパターン図が示されている。このように、左側のメモリセルアレイ部とシェアードMOSFETとの間にも前記同様な段差緩衝領域を設けるものである。

【0304】上記図97ないし図99において、61はポリサイドからなるビット線であり、同図のように横方向に延長するよう配置される。62は、カラム選択線であり、前記の実施例と同様に第1層目のメタル層から構成され、同図において横方向に延長するよう配置される。63は、ポリシリコン層からなるワード線であり、その上層に設けられる第2層目のメタル層68によってワードシャントされる。これらのワード線は、同図において縦方向に延長するような配置される。64は、メモリセルを構成するアドレス選択用MOSFETである。同図では、パターンが複雑になるので記憶用キャパシタは省略されている。65は、ビット線コンタクトであり、前記実施例のようなパッドコンタクトがここに設けられる。66は拡散層である。67は出入力線I/Oであり、ワードシャントと同様に第2層目のメタル層により構成され、同図において縦方向に延長するよう配置される。なお、段差緩衝領域を利用してシェアードMOSFETのゲートを構成するポリシリコンをシャントして実質抵抗値を下げ、高速化するための第2層のメタル層が形成されるものである。

【0305】図101ないし図108には、ワード線方向のメモリセルアレイ部とそれに対応した周辺回路の一実施例のパターン図が示されている。図101において、メモリセルアレイの左側に、上述のような段差緩衝用領域が設けられる。この段差緩衝のために、ダミーのポリシリコン配線78が設けられる。また、この段差緩衝領域下の基板表面には、メモリセルアレイのガードリング用拡散層と、その上にはバイアス電圧VDLを与える配線層が設けられる。

【0306】メモリセルアレイ部において、71は、拡散層を示し、72はポリシリコン層からなるワード線を示す。同図においては、キャパシタのパターンは省略されている。73は、前記のようなポリサイドからなるビット線であり、74はワードシャント用の2層目メタル層である。75は、カラム選択線であり、1層目のメタル層から構成される。76は、ビット線コンタクトであり、前記パッドコンタクトを用いている。

【0307】上記メモリセルアレイ部の左側には、段差緩衝用領域を挟んでワードドライバが形成される。このワードドライバにおいて、79はワードドライバ用MOSFETのゲートであり、80はドライバMOSFETのワード線と接続される出力側の1層目メタル層である。81は、MOSFETのソース、ドレイン拡散層と接続するコンタクトである。上記ワードドライバの全体は、上記図101の左側に対して図102ないし図105の順に左方向に延びるよう配置される。

【0308】図105に示した上記ワードドライバの更に左端側には、図106及び図107に示すようにXデコーダが左方向に延びるよう並んで配置される。図108には、上記図101に示したメモリセルアレイ部の右端側、言い換えるならば、ワードドライバの出力が接続されるワード線の他端側に設けられるワードクリア回路の一実施例のパターン図が示されている。

【0309】同図においても、メモリセルアレイ部の右端とワードクリア回路との間には、前記同様な段差緩衝用領域が設けられる。そこには、段差緩衝用配線（ポリシリコン）兼ガードリングシャント99が設けられる。

【0310】上記の実施例から得られる作用効果は、下記の通りである。半導体チップの縦中央部と横中央部とからなる十文字エリアに周辺回路を配置し、上記十文字エリアにより分割された4つの領域にはメモリアレイを配置する。この構成では、チップの中央部に周辺回路が配置されることに応じて、信号の最大伝達経路をチップサイズのほぼ半分に短くできるから大記憶容量化を図ったDRAMの高速化が図られるという効果が得られる。また、半導体チップの縦中心線により2分割される両領域に対して上記十文字エリアを設けて、上記同様なレイアウトを探ることにより、よりいっそうの大記憶容量化

【0311】上記の実施例から得られる作用効果は、下記の通りである。半導体チップの縦中央部と横中央部とからなる十文字エリアに周辺回路を配置し、上記十文字エリアにより分割された4つの領域にはメモリアレイを配置する。この構成では、チップの中央部に周辺回路が配置されることに応じて、信号の最大伝達経路をチップサイズのほぼ半分に短くできるから大記憶容量化を図ったDRAMの高速化が図られるという効果が得られる。また、半導体チップの縦中心線により2分割される両領域に対して上記十文字エリアを設けて、上記同様なレイ

アウトを探すことにより、よりいっそうの大記憶容量化

あるいは高速化が可能になるという効果が得られる。

【0311】上記十文字エリアのうち、メモリアレイに接した縁にXデコーダ及びYデコーダを配置することにより、十文字エリアに設けられるアドレスバッファやプリデコーダとの信号伝達経路を短い距離にすることができる。これにより、合理的なレイアウトと高速化が可能になるという効果が得られる。

【0312】上記十文字エリアのうち、縦中央部又は横中央部のXデコーダに挟まれた領域には、メインアンプ、コモンソーススイッチ回路、及びセンスアンプ制御信号発生回路とマット選択制御回路のうち少なくとも1つを配置する。これにより、十文字エリアに配置される周辺回路のうち、Xデコーダやセンスアンプ、入出力線I/Oに対応した回路がその近辺に設けられるから、メモリセルの選択回路や記憶情報の伝達経路のレイアウトを合理的にできるから高集積化と高速化が可能になるという効果が得られる。

【0313】上記十文字エリアのうち、縦中央部又は横中央部のYデコーダに挟まれた領域には、アドレスバッファ、制御信号に対応した制御ロジック回路及び欠陥救済回路のうちの少なくとも1つのを配置する。この構成により信号の伝播経路に従った合理的なレイアウトが実現でき、それに応じて高速化が可能になるという効果が得られる。

【0314】上記十文字エリアのうち縦中央部と横中央部とが重なる中央部には、デコーダ入力用アドレス信号発生回路の少なくとも最終ドライバ回路及び内部で使用する電源発生回路のうち少なくとも1つを配置する。これにより、ワード線やカラム選択線の選択動作を行うX、Yデコーダに対して、その入力信号をチップの中央からそれぞれに対応して四方に伝達させることになるため、信号の伝達経路が分割されて短くなること、及び負荷が分割されて軽くなるため高速化を実現できるという効果が得られる。

【0315】上記周辺回路のうち原理的にマイノリティキャリアを基板に注入する可能性を持つ回路を、上記十文字エリアの2本の中心線上またはその近傍に配置することにより、周辺回路をチップの中央に配置することによる前記高速化を図りつつ、メモリセルアレイ部に対するマイノリティキャリアの影響を最小にすることができるという効果が得られる。

【0316】十文字エリアにより4分割されるエリアに形成されたメモリアレイは、センスアンプを含んだ同じ大きさの複数からなる単位のメモリマットの集合体として構成する。この構成により、メモリセルの選択動作を、マット内のメモリセル選択動作に上位アドレスによるマット選択動作を加えて選択動作を2段階に振り分けることができ、それに応じてデコーダが分割できるのでデコード信号の負荷が軽くなり高速動作化が図られるという効果が得られる。

【0317】上記十文字エリアにより4分割されるメモリアレイには、それぞれのメモリアレイを分割するようにXデコーダ又はYデコーダのうちの少なくとも一方を配置する。これにより、デコーダによりワード線又はカラム選択線が実質的に分割されることに応じてその長さを短くできるから、メモリセルの高速選択が可能になるという効果が得られる。

【0318】上記単位のメモリマットは、マット選択信号に基づきメモリセル選択動作のための各種タイミング信号を発生する制御回路を設ける。これにより、メモリマット内では最適化されたタイミングで時系列的な動作シーケンスを実施できるから、多数のメモリブロックからなるであろう大記憶容量のDRAMにおいて、異なるメモリブロック間相互でのタイミングマージンを探る必要がないから、高速メモリアクセスと動作マージンの向上を図ることができるという効果が得られる。また、動作するメモリマット数を変更することが容易となり、品種展開（ロウパワー化）が容易になるという効果が得られる。

【0319】上記単位のメモリマットは、隣接する一対のメモリマットを1つのサブブロックとして、そのサブブロック毎に上記メモリマットを制御する制御回路を設ける。この構成では、サブブロックの中で1つのメモリマットを選択する構成がとれるから制御回路を複数のメモリマットに共通に用いることができ高集積化と高速化が可能になるという効果が得られる。

【0320】上記単位のメモリマットは、軸対称的な関係にある一対のサブブロックにより構成することにより、制御回路をより多くのメモリマットに共通に用いることができ高集積化と高速化が可能になるという効果が得られる。

【0321】上記制御回路を上記マット選択信号、サブブロック選択信号又はブロック選択信号により活性化させることにより、非選択マット又はサブブロックでの無駄な電流消費を抑えることができるから低消費電力化が図られるという効果が得られる。

【0322】上記制御回路として、相補データ線のプリチャージ、センスアンプの活性化、シェアードセンスアンプの制御、Xデコーダの活性化、Yデコーダ回路の活性化、ワードドライバの活性化、共通入出力線の選択、メインアンプの選択、又はメインアンプの活性化のうち少なくとも1つの制御を行うようとする。これにより、マット内での動作シーケンス制御の最適化が図られるという効果が得られる。

【0323】上記メモリマットに対して、それに属するワード線、相補データ線を選択するための選択信号が供給されるようとする。この構成では、選択信号はプリデコード回路で形成することになり、デコーダ回路の合理的な分割が可能になるという効果が得られる。

【0324】上記単位のメモリマットに属するワード線

又は相補データ線を選択するための選択信号を形成する回路を、複数のメモリマット又はサブブロックに対して共通に設けられるようにすることにより、マット制御信号の余分な引き回しがなくなるのでロウパワー化と高速化が可能になるという効果が得られる。

【0325】上記メモリマット又はメモリブロックを選択するアドレス信号として、専用のアドレスバッファを用いて入力する。この構成により、マット選択信号を形成するアドレス信号は、冗長回路に設けられる多数のアドレス比較回路等の比較的大きな負荷容量と分離できるから高速化が可能になり、メモリセルアレイの選択動作に先行してマット選択動作を行うことが可能になるという効果が得られる。

【0326】上記十文字エリアの領域内にボンディングパッドの一部又は全部を配置させる。これにより、チップの中央部から信号を授受を行うようになることができるから、信号の伝達経路がチップの中央部から周辺に向かってほど々4方に広がりながら伝えられるという構成となり、チップの大型化にかかわらず信号伝達経路を短くできるから高速化が可能になるという効果が得られる。

【0327】上記十文字エリアのうち縦中央部にボンディングパッドの全部を2列にジグザグ状に配置する。これにより、多数のボンディングパッドを効率よく配置でき、高集積化が可能になるという効果が得られる。

【0328】上記十文字エリアのうち縦中央部に並んで配列されたボンディングパッドは、LOCリードフレームに対してボンディングを行うようにすることにより、リードフレームを電源供給用のパッドに対しては配線の一部とみなしたり、入力回路に近接してボンディングパッドを設けることができるから、レベルマージンの改善と高速化が図られるという効果が得られる。

【0329】上記ボンディングパッドのうち、回路の電源電圧と接地電位を与えるパッドは、それを必要とする回路ブロックに応じて適当な間隔をおいて複数個設けるとともに、回路の電源電圧と接地電位をそれぞれ与える共通のLOCリードフレームにそれぞれ接続されることにより、回路動作に伴うノイズレベルを小さく抑えることができるから動作マージンの向上ができるという効果が得られる。

【0330】上記ボンディングパッドのうち、接地電位を与えるパッドは、活性化されるセンスアンプ列のチップ分布に従って複数個設ける。これにより、そのセンスアンプの増幅動作による比較的大きな電流が対応するパッドから供給されるため、他の回路の接地電位に発生するノイズレベルを低く抑えることができるから、動作マージンの拡大を図ることができるという効果が得られる。

【0331】半導体チップの縦中央部と横中央部とからなる十文字エリアに周辺回路とボンディングパッドを配置し、上記十文字エリアにより分割された4つの領域に

はメモリアレイを配置するとともに半導体チップの四隅に段差を設ける。これにより、チップのコーナーにおいてモールドレジンからの応力が直接メモリセル部にかかるのを防ぐことができるという効果が得られる。

【0332】上記半導体チップの四隅に設けられる段差は、メモリアレイ部の製造工程と同じ工程により形成される配線層を積み重ねることにより構成することにより、製造工程を追加することなくモールドレジンからのチップにかかる応力を分散させることができるという効果が得られる。

【0333】半導体チップの縦中央部と横中央部とからなる十文字エリアに周辺回路を配置し、上記十文字エリアにより分割された4つの領域にはメモリアレイを配置し、半導体チップの最外周には基板と同一導電型の高濃度拡散層を配置して基板バックバイアス電圧を供給するとともに、その内側に上記基板と逆導電型の拡散層からなるガードリングを配置してそこに電源電圧を供給する。この構成により、メモリアレイ部に対する不希望なノイズの浸入を防ぐことができるという効果が得られる。

【0334】外部端子から供給される電源電圧により動作し、基準電圧を受けるインピーダンス変換用の出力バッファとからなる内部回路の動作電圧を形成する内部降圧電圧発生回路を内蔵させる。この構成では、素子の微細化に伴う耐圧の低下に応じて動作電圧を低くできること、及び動作電圧の低下により低消費電力化を図ることができるという効果が得られる。また、基準定電圧により降圧電圧を形成するので、外部電源電圧の変動の影響を受けることがないので、内部回路の動作の安定化が可能になるという効果が得られる。

【0335】上記内部降圧電圧発生回路としてメモリアレイ用電圧と、周辺回路用電圧とに分けることにより、回路動作によるノイズの発生を防止することができるという効果が得られる。

【0336】上記内部降圧電圧発生回路により形成される降圧電圧は、それが供給される入力バッファ回路のロジックレスレッショルド電圧の約2倍の電圧に設定する。これにより、動作電圧を有効に利用でき入力レベルマージンの拡大を図ることができるという効果が得られる。

【0337】上記インピーダンス変換動作を行う出力バッファの出力回路をCMOS構成とし、そのうちの電源電圧側のPチャンネルMOSFETを介して電源電圧を選択的に出力させる機能を持たせる。これにより、特別な回路を付加することなく、内部の動作電圧を外部から供給される電源電圧に切り換える機能を持たせることができるという効果が得られる。この電圧切り換え機能は、例えばエージング等に利用できる。

【0338】内部降圧電圧発生回路により形成された降圧電圧で動作する内部回路により形成された出力すべき信号を、レベル変化回路を通して外部から供給される電

源電圧に従ったレベルに変換してソースフォロワ出力MOSFETを駆動する。この構成では、出力信号のレベル振幅を大きく採れるとともに駆動信号の振幅が大きくなるので動作の高速化が可能になるという効果が得られる。

【0339】上記出力MOSFETには、上記内部回路で形成された比較的小さな信号振幅の信号で駆動される出力MOSFETを並列に設ける。これにより、比較的早いタイミングで出力信号の変化を開始させることができるので、信号の変化を比較的長い時間に渡って直線的に行わせることができるため、出力の動作速度を犠牲にすることなく出力信号変化時の電源線や接地線に発生するノイズレベルを低減させることができるという効果が得られる。

【0340】上記内部降圧電圧発生回路により形成された内部電圧を、テストモードによりデータ出力バッファを出力ハイインピーダンス状態にしておいて、その出力端子からブートストラップ電圧又は外部電源電圧レベルの信号によりスイッチ制御されるスイッチMOSFETを介して選択的に出力させる。これにより内部電源回路が正常に動作しているか否かをモニタすることができ高信頼化を図ることができるという効果が得られる。

【0341】ワード線やシェアードセンスアンプの選択信号として、上記内部降圧電圧を昇圧して形成された高電圧を動作電圧とする選択回路により形成する。これにより、昇圧電圧が外部電源に影響されることなく安定にできるとともに、ワード線等の選択動作を高速にできるという効果が得られる。

【0342】メインアンプを中心にして対称的にメモリセルアレイを配置し、メモリセルアレイ選択信号に対応してスイッチ制御されるスイッチMOSFETを介して選択的に上記メモリセルアレイの入出力線をメインアンプに接続させる。この構成により、メインアンプの数を減らせるとともに、入出力線の実質的な配線長を短くできるから高速化が可能になるという効果が得られる。

【0343】上記メモリセルアレイとして、シェアードセンスアンプを採用し、左右の分けられたメモリマットに対応した入出力線をそれぞれを設けるとともに、そのマット選択信号に対応してスイッチ制御されるスイッチMOSFETを介して共通のメインアンプに接続する。この構成では、シェアードセンスアンプ方式によるデータ線長を短くできるとともに、それに対応して入出力線も分割するので入出力線の配線容量も半減できるから高速化が可能になるという効果が得られる。

【0344】上記メモリセルアレイとして、前記の単位のメモリマットとすることにより、メインアンプの数の低減と、それに結合される入出力線の配線長さを短くできることにより高速動作を実現できるという効果が得られる。

【0345】制御信号によりワード線の選択信号を受け

てそれを保持させるラッチ回路を設けて、そのラッチ回路の出力信号によりワード線駆動信号を形成する。これにより、ワード線を順次多重選択させることができるので、エージング等を効率良く行うようにすることができるという効果が得られる。

【0346】テストモードのときシェアードセンスアンプに対して左右の両方の相補データ線を接続させるモードを設ける。これにより、相補データ線の容量が約2倍となることに応じて相対的にメモリセルからの信号量が1/2に減少するため、信号量のマージンテストを簡単に実施できるという効果が得られる。

【0347】ファンクション設定モードとして、複数ビットからなるアドレス端子からそれに対応した複数ビットからなるディジタル信号を入力し、内部回路の状態をそのディジタル信号に対応した電圧又は遅延時間に設定する機能を持たせる。これにより、内部動作電圧や信号遅延の変更が容易になり、内部テストを効率よく行うことができるという効果が得られる。

【0348】所定の制御信号により外部からリセット又は初期値セット機能を付加したリフレッシュアドレスカウンタ回路を設ける。これにより、リフレッシュ動作を上記ワード線の多重選択や各種読み出し/書き込みテスト用アドレス選択に利用することができるという効果が得られる。

【0349】内部回路の動作電圧を形成する内部電源電圧発生回路を備え、その内部電圧に基づいた電圧と外部から与えられた電圧と比較して、その比較結果の2値信号を出力させる。この構成により内部の動作電圧を高い精度でモニタできるという効果が得られる。

【0350】CMOS構成のDRAMにおけるセンスアンプ、入力バッファの初段回路、出力バッファの最終段回路、メインアンプの初段回路、入出力線のフルアップMOSFET、相補データ線及び相補入出力線のショートMOSFET及びチャージポンプ回路を構成するダイオード形態のMOSFETのうち、少なくとも1つの回路に用いられるMOSFETのしきい値電圧を他の回路に用いられるMOSFETより低しきい値電圧を持つものとする。これにより、動作の高速化が可能になるという効果が得られる。

【0351】カラムスイッチMOSFET、センスアンプを構成するMOSFET、プリチャージMOSFET、ショートMOSFET、ワード線駆動用MOSFET及びシェアードセンスアンプのカット用MOSFETのうち少なくとも1種類のMOSFETは、そのソース、ドレインコンタクトとして、メモリセルのアドレス選択用MOSFETのソース、ドレインコンタクトと同様なパッドコンタクトを用いる。これにより、そのソース、ドレインコンタクトとしてメモリセルと同様にセフルアライン技術が利用でき、ソース、ドレイン領域を必要最小に形成することができる。これにより高集積化と寄

生容量を小さくできることによる高速化が可能になるという効果が得られる。

【0352】ビット線クロス方式におけるクロス部に、その上に形成されるカラム選択線を構成するために用いられる第1層目のメタル層を利用することにより、クロス部を構成する配線が不要になるとともに、下地のキャパシタやMOSFETの均一性に悪影響を与えなくできるという効果が得られる。

【0353】カラム選択線を2対のビット線に対応させるとともに、ビット線クロス部の前で一方のビット線対から他方のビット線対にオーバーラップするように折り曲げて配置することにより、特別なクロス配線領域が必要になるとともに、カラム選択線とビット線との寄生容量を均一化することができるという効果が得られる。

【0354】積層型からなるメモリセルアレイ部とその周辺回路部との間に、ダミーの配線層からなる段差緩衝用領域を設けることにより、配線の加工が容易になるという効果が得られる。

【0355】上記段差緩衝用領域下にガードリングを配置することにより、特性の安定化が可能になるという効果が得られる。

【0356】センサアンプを含んだ同じ大きさの複数からなる単位のメモリマットの集合体から構成されるメモリアレイを持ち、各メモリマットに対して冗長用ワード線及び／又は冗長用データ線を設けるとともに、上記全てのメモリマットから構成される冗長ワード線及び／又はデータ線の総数より少なく、1つのメモリマットに設けられる冗長ワード線及び／又はデータ線の数より多い数からなる冗長用回路を設けて、それを上記各メモリマットに共通に用いるようにする。これにより、欠陥救済に必要な回路規模を小さくできるから高集積化と低消費電力化を図ることができるという効果が得られる。

【0357】上記冗長回路として、不良アドレス記憶回路とアドレス比較回路とを含み、それに対応したX、Yアドレスバッファに近接して設ける。これにより、信号伝達経路を最短にできるから動作の高速化と高集積化が可能になるという効果が得られる。

【0358】ワード線又はカラム選択回路の出力部において、複数のワード線又はカラム選択線とそれぞれ交差する配線を持つ予備ワード線又は予備カラム選択線を形成しておき、不良ワード線又は不良データ線が発生したとき、レーザー光線の照射によって上記ワード線又はカラム選択回路の出力線を不良ワード線又は不良データ線に対応したカラム選択線から切断させるとともに予備ワード線又は予備カラム選択線に接続されることより欠陥救済を行う。この構成では、不良アドレスの記憶回路や比較回路が不要になるから、高集積化と高速化及び低消費電力化を図ることができるという効果が得られる。

【0359】Y系の多重選択による多ビット同時テストモードのとき、欠陥救済が行われたメモリブロック又は

YS線のみ冗長データ線又は冗長YS線に切り換えるようにする。これにより、上記多ビット同時テスト機能によるテスト時間の短縮化を図りつつ用意する冗長データ線又は冗長YS線の数を減らすことができるという効果が得られる。(51)データ線をX、Y又は内部で形成されたブロックアドレス、あるいはこれらの組み合わせにより複数ブロックに分割し、これらの信号を利用して欠陥が存在するブロックのみ冗長データ線又は冗長YS線に切り換えるようにすることにより、用意する冗長データ線又は冗長YS線の数を減らすことができるという効果が得られる。

【0360】ワード線をX又は内部で形成されたブロックアドレス、あるいはこれらの組み合わせにより複数ブロックに分割し、これらの信号を利用して欠陥が存在するブロックのみ冗長ワード線に切り換えるようにすることにより、用意する冗長ワード線の数を減らすことができるという効果が得られる。

【0361】上記ブロックアドレスとして、不良アドレスをプログラムする手段と同じプログラム手段を用いることによって、プログラムの簡素化を図ることができるという効果が得られる。

【0362】以上本発明者によりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更が可能であることはいうまでもない。例えば、ダイナミック型RAMの記憶容量としては、前記のように16Mビットの他、4Mビットのようにそれより少ないもの、あるいは64Mビットのようにそれより大きいものであってもよい。また、アドレス入力としてXアドレスとYアドレスとをそれぞれ独立した端子から供給するというノンマルチ方式とし、それに応じて記憶容量を約8Mビットや24Mビットのようにするものであってもよい。

【0363】この発明は、前記のような大記憶容量を持つ半導体記憶装置や大きな回路規模を持つ各種半導体装置に広く利用することができるものである。

【0364】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、半導体基板全面の実質的に長方形領域にその短辺を横切る中央線に沿って第1方向に延びる第1領域と、その長辺を横切る中央線に沿って前記第1領域と交差する第2方向に延びる第2領域を設けて前記長方形領域を第3、第4、第5及び第6領域に分割して各々に第1、第2、第3及び第4メモリアレイを設け、前記第1領域と、前記第1から第4メモリアレイとのそれぞれの接線に沿って第1、第2、第3及び第4デコード回路を配置し、前記第2領域と、前記第1から第4メモリアレイとのそれぞれの接線に沿って第5、第6、第7及び第8デコード回路を配置し、前記第2領

域に設けられた複数のポンディングパッドを設けることにより、大記憶容量化又は大規模集積化と高速化を図ることができる。

【図面の簡単な説明】

【図1】この発明が適用されたダイナミック型RAMの一実施例を示す基本的レイアウト図である。

【図2】この発明に係るDRAMの一実施例を示す全体レイアウト図である。

【図3】この発明が適用されたダイナミック型RAMのポンディングパッドの詳細な配置を示すレイアウト図である。

【図4】この発明が適用されたダイナミック型RAMのアドレス割り付けの一実施例を示すブロック図である。

【図5】この発明に係るダイナミック型RAMにおける制御信号に着目した一実施例を示すブロック図である。

【図6】この発明に係るダイナミック型RAMの動作シーケンスに着目した一実施例を示すブロック図である。

【図7】この発明に係るダイナミック型RAMの電源供給線とそれに関連する内部電源回路とパッドの関係を具体的に説明するためのレイアウト図である。

【図8】この発明に係るダイナミック型RAMにおける回路の接地線とそれに関連する内部電源回路とパッドの関係を具体的に説明するためのレイアウト図である。

【図9】この発明に係る入力保護回路の一実施例を示す具体的レイアウトと断面図である。

【図10】この発明に係るダイナミック型RAMの外部電源電圧用パッドに設けられる入力保護回路の一実施例を示す具体的レイアウト図である。

【図11】この発明に係る半導体チップの周辺部の一実施例を示すレイアウト図である。

【図12】図11の半導体チップのコーナー部の概略断面図である。

【図13】図11の半導体チップの最外周の概略断面図である。

【図14】この発明に係るダイナミック型RAMの他の一実施例を示す基本的レイアウト図である。

【図15】この発明に係るダイナミック型RAMの他の一実施例を示す基本的レイアウト図である。

【図16】この発明に係るダイナミック型RAMの更に他の一実施例を示す基本的レイアウト図である。

【図17】この発明に係るダイナミック型RAMにおけるメモリマットの他の基本的構成とそれを組み合わせて構成されるメモリブロックの一実施例を示す構成図である。

【図18】この発明に係るダイナミック型RAMにおけるメモリマットの他の基本的構成とそれを組み合わせて構成されるメモリブロックの一実施例を示す構成図である。

【図19】この発明に係るダイナミック型RAMにおける

50

るメモリマットの他の基本的構成とそれを組み合わせて構成されるメモリブロックの一実施例を示す構成図である。

【図20】この発明に係るダイナミック型RAMにおけるメモリマットの他の基本的構成とそれを組み合わせて構成されるメモリブロックの一実施例を示す構成図である。

【図21】この発明に係るダイナミック型RAMにおけるサブブロックの基本的構成とそれを組み合わせて構成されるメモリブロックの他の一実施例を示す構成図である。

【図22】この発明に係るダイナミック型RAMに用いられるリードフレームの一実施例を示す平面図である。

【図23】この発明に係るダイナミック型RAMに用いられるリードフレームと半導体チップとの接続例を示す概略側面図である。

【図24】この発明に係るダイナミック型RAMの一実施例を示す外観と内部透視図である。

【図25】この発明に係るダイナミック型RAMの一実施例を示す外部端子のピン配置図である。

【図26】この発明に係るダイナミック型RAMにZI P型パッケージを用いた場合の一実施例を示す外部端子のピン配置図である。

【図27】この発明に係るダイナミック型RAMにSOJ型パッケージを用いた場合の一実施例を示す外部端子のピン配置図である。

【図28】この発明に係るダイナミック型RAMにおけるRAS系のコントロール回路の一実施例を示す一部回路図である。

【図29】この発明に係るダイナミック型RAMにおけるコントロール回路の一実施例を示す他の一部回路図である。

【図30】この発明に係るダイナミック型RAMにおけるコントロール回路の一実施例を示す他の一部回路図である。

【図31】この発明に係るダイナミック型RAMにおけるXアドレスバッファの一実施例を示す回路図である。

【図32】この発明に係るダイナミック型RAMにおけるXアドレス信号A9とA10に対応したアドレスバッファ回路の一実施例を示す回路図である。

【図33】この発明に係るダイナミック型RAMにおけるXアドレス信号A11に対応したアドレスバッファの一実施例を示す回路図である。

【図34】この発明に係るダイナミック型RAMにおけるXアドレス信号A8に対応したアドレスバッファの一実施例を示す回路図である。

【図35】この発明に係るダイナミック型RAMにおけるロウ系のプリデコーダの一実施例を示す一部回路図である。

【図36】この発明に係るダイナミック型RAMにおける

るX系の冗長回路の一実施例を示す回路図である。

【図37】この発明に係るダイナミック型RAMにおけるワード線の選択を行うデコーダ回路の一実施例を示す一部回路図である。

【図38】この発明に係るダイナミック型RAMにおける冗長ワード線の選択を行うデコーダ回路の一実施例を示す一部回路図である。

【図39】この発明に係るダイナミック型RAMにおけるセンスアンプを活性化させるタイミング発生回路の一実施例を示す回路図である。

【図40】この発明に係るダイナミック型RAMにおけるメモリマットに設けられる制御回路の一実施例を示す一部回路図である。

【図41】この発明に係るダイナミック型RAMにおけるXデコーダ、ワード線駆動回路、シェアード制御線駆動回路の一実施例を示す回路図である。

【図42】この発明に係るダイナミック型RAMにおけるメモリセルアレイの一実施例を示す回路図である。

【図43】この発明に係るダイナミック型RAMにおけるリフレッシュアドレスカウンタ回路の一実施例を示す回路図である。

【図44】この発明に係るダイナミック型RAMにおけるCAS系のコントロール回路の一実施例を示す一部回路図である。

【図45】この発明に係るダイナミック型RAMにおけるYアドレスバッファの一実施例を示す回路図である。

【図46】この発明に係るダイナミック型RAMにおけるY系の冗長回路の一実施例を示す一部回路図である。

【図47】この発明に係るダイナミック型RAMにおけるY系の冗長回路の一実施例を示す他の一部回路図である。

【図48】この発明に係るダイナミック型RAMにおけるY系の冗長回路の一実施例を示す一部回路図である。

【図49】この発明に係るダイナミック型RAMにおけるY系のアドレス信号のプリデコーダ回路の一実施例を示す回路図である。

【図50】この発明に係るダイナミック型RAMにおけるカラム選択信号を形成するY系デコーダの一実施例を示す回路図である。

【図51】この発明に係るダイナミック型RAMにおけるニブルカウンタ回路の一実施例を示す回路図である。

【図52】この発明に係るダイナミック型RAMにおけるY系の制御信号を形成するコントロール回路の一実施例を示す一部回路図である。

【図53】この発明に係るダイナミック型RAMにおける動作モード判定回路の一実施例を示す回路図である。

【図54】この発明に係るダイナミック型RAMにおけるY系のコントロール回路の一実施例を示す一部回路図である。

【図55】この発明に係るダイナミック型RAMにおけるWE系のコントロール回路の一実施例を示す一部回路図である。

10

るWE系のコントロール回路の一実施例を示す一部回路図である。

【図56】この発明に係るダイナミック型RAMにおけるWE系のコントロール回路の一実施例を示す他の一部回路図である。

【図57】この発明に係るダイナミック型RAMにおけるデータ入力バッファの一実施例を示す回路図である。

【図58】この発明に係るダイナミック型RAMにおけるメインアンプ制御回路の一実施例を示す回路図である。

【図59】この発明に係るダイナミック型RAMにおけるメインアンプの一実施例を示す回路図である。

【図60】この発明に係るダイナミック型RAMにおけるメインアンプのデータの出力制御回路の一実施例を示す回路図である。

【図61】この発明に係るダイナミック型RAMにおけるメインアンプの出力制御回路の一実施例を示す回路図である。

20

【図62】この発明に係るダイナミック型RAMにおけるデータ出力バッファの一実施例を示す回路図である。

【図63】この発明に係るダイナミック型RAMにおけるテスト回路の一実施例を示す一部回路図である。

【図64】この発明に係るダイナミック型RAMにおけるテスト回路の一実施例を示す他の一部回路図である。

【図65】この発明に係るダイナミック型RAMにおける動作モードを指定する制御回路の一実施例を示す回路図である。

【図66】この発明に係るダイナミック型RAMにおけるその他の制御回路の一実施例を示す回路図である。

【図67】この発明に係るダイナミック型RAMにおける基板バックバイアス電圧発生回路の一実施例を示す回路図である。

【図68】この発明に係るダイナミック型RAMにおける内部昇圧電圧発生回路の一実施例を示す回路図である。

【図69】この発明に係るダイナミック型RAMにおける内部降圧電圧発生回路の一実施例を示す回路図である。

30

【図70】この発明に係るダイナミック型RAMにおけるRAS系の動作の一例を示すタイミング図である。

【図71】この発明に係るダイナミック型RAMにおけるRAS系の動作の一例を示すタイミング図である。

【図72】この発明に係るダイナミック型RAMにおけるRAS系の動作の一例を示すタイミング図である。

【図73】この発明に係るダイナミック型RAMにおけるXアドレスバッファの動作の一例を示すタイミング図である。

【図74】この発明に係るダイナミック型RAMにおけるCAS系の動作の一例を示すタイミング図である。

40

【図75】この発明に係るダイナミック型RAMにおける

るCAS系のアドレス選択動作の一例を示すタイミング図である。

【図76】この発明に係るダイナミック型RAMにおけるライト動作の一例を示すタイミング図である。

【図77】この発明に係るダイナミック型RAMにおけるYアドレスバッファの動作の一例を示すタイミング図である。

【図78】この発明に係るダイナミック型RAMにおけるテストモードの動作の一例を示すタイミング図である。

【図79】この発明に係るダイナミック型RAMにおけるCAS系の動作の一例を示すタイミング図である。

【図80】この発明に係るダイナミック型RAMにおけるCAS系の動作の一例を示すタイミング図である。

【図81】この発明に係るダイナミック型RAMにおけるCAS系の動作の一例を示すタイミング図である。

【図82】この発明に係る欠陥救済法を説明するための他の一実施例を示すブロック図である。

【図83】この発明に係る欠陥救済法を説明するための他の一実施例を示すブロック図である。

【図84】この発明に係るダイナミック型RAMにおけるワード線のテスト法を説明するための一実施例の波形と回路図である。

【図85】この発明に係るダイナミック型RAMにおける信号量マージンテスト法を説明するため一実施例を示す回路と波形図である。

【図86】この発明に係るダイナミック型RAMにおけるファンクションセットモードの他の一実施例を示すブロック図である。

【図87】この発明に係るダイナミック型RAMにおけるリフレッシュアドレスカウンタの他の一実施例を示す波形と回路図である。

【図88】この発明に係るダイナミック型RAMにおける内部電源モニタ方法の他の一実施例を示すブロック波形図である。

【図89】この発明に係るダイナミック型RAMにおけるマルチビットテスト法の原理を説明するための回路と波形図である。

【図90】この発明に係るダイナミック型RAMにおけるビット線方向の素子構造断面図である。

【図91】この発明に係る欠陥救済法を説明するための概念図である。

【図92】この発明に係るダイナミック型RAMにおけるメインアンプとメモリセルアレイのレイアウトの一実施例を示すブロック図である。

【図93】この発明に係るダイナミック型RAMにおけるメインアンプとメモリセルアレイのレイアウトの他の一実施例を示すブロック図。

【図94】この発明に係る半導体チップの他の一実施例を示す基本的レイアウト図である。

【図95】この発明に係るメモリセルアレイの一実施例を示すパターン図である。

【図96】この発明に係るダイナミック型RAMにおけるビット線クロス部を説明するための断面と模式図である。

【図97】この発明に係るダイナミック型RAMにおけるビット線方向のシェアードセンスアンプ列部とそれに対応したメモリセルアレイ部の一実施例を示す一部のパターン図である。

10 【図98】この発明に係るダイナミック型RAMにおけるビット線方向のシェアードセンスアンプ列部とそれに対応したメモリセルアレイ部の一実施例を示す一部のパターン図である。

【図99】この発明に係るダイナミック型RAMにおけるビット線方向のシェアードセンスアンプ列部とそれに対応したメモリセルアレイ部の一実施例を示す一部のパターン図である。

【図100】この発明に係るダイナミック型RAMにおける段差緩衝領域の断面図である。

20 【図101】この発明に係るダイナミック型RAMにおけるワード線方向のメモリセルアレイ部とそれに対応したワードドライバの一実施例を示すパターン図である。

【図102】図101に対応したワードドライバの一実施例を示す一部パターン図である。

【図103】図101に対応したワードドライバの一実施例を示す一部パターン図である。

【図104】図101に対応したワードドライバの一実施例を示す一部パターン図である。

【図105】図101に対応したワードドライバの一実施例を示す一部パターン図である。

【図106】図101に対応したXデコーダの一実施例を示す一部パターン図である。

【図107】図101に対応したXデコーダの一実施例を示す一部パターン図である。

【図108】この発明に係るダイナミック型RAMにおけるワード線方向におけるメモリセルアレイ部とワードクリア回路の一実施例を示すパターン図である。

【符号の説明】

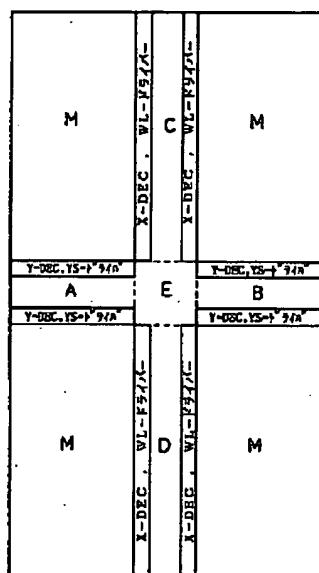
DV1…Yアドレスドライバ、DV2…Xアドレスドライバ、DV3…マット選択ドライバ、1…外部電源用パッドVCCE、2…外部電源用パッドVCCE、3…内部降圧電源回路(VCC)、4…内部降圧電源回路(VDL)、5…VCC配線、6…VDL配線、7…データ出力バッファ用の電源パッドVCCE、11…ワードクリア、ワード線ラッチ用の接地電位供給用パッド、12…センサアンプのコモンソース用接地電位パッド、13…データ出力バッファ用パッド、14…内部降圧電源回路、アドレスバッファ用接地電位パッド、15…その他の回路用の接地電位パッド、21…モールド樹脂、22…リードフレーム、23…チップ、24…フィルム、25…

5…金ワイヤ、26…接着剤A、27…接着剤B、28…絶縁体、29…接着剤C、30…接着剤D、31…モールド樹脂、32…リードフレーム、33…チップ、34…フィルム、35…金ワイヤ、36…バスバーリード、37…吊りリード、38…ポンディングパッド、39…インディックス、41…P基板、42…P型WELL、43…N型WELL、44…N⁺拡散層、45…P+拡散層、46…ポリシリコン（ゲート、ワード線）、47…ポリシリコン（パッドコンタクト）、48…ポリシリコン（キャパシタストアノード）、49…ポリシリコン（キャパシタプレート）、50…ポリサイド（ビット線）、51…1層目のメタル（タングステン）、52…2層目のメタル（アルミニウム）、5…第1ゲート絶縁膜（MOSFET）、54…第2ゲート絶縁膜（キャパシタ）、61…ビット線（ポリサイド）、62…カラム選択線（1層目メタル）、63…ワード線（ポリシリコン）、64…MOSFET、65…ビット線コンタクト、66…拡散層、67…入出力線、68…ワードシ

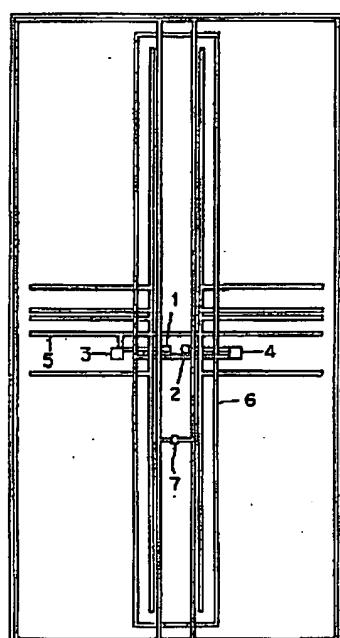
10

ヤント、69、70…ダミーの配線層、71…拡散層、72…ワード線（ポリシリコン）、73…ビット線（ポリサイド）、74…ワード線シャント（2層目メタル層）、75…カラム選択線（1層目メタル層）、76…ビット線コンタクト（パッドポリシリコン使用）、77…メモリセルアレイのガードリング用拡散層、78…段差緩衝用配線（ポリシリコン）、79…ワードドライバのゲート、80…ワード線（ドライバMOSFETの出力側配線）、81…拡散層コンタクト、91…ワードクリア信号線（2層目メタル層）、92…接地線（1層目メタル層）、93…ワードクリアのゲート（ポリシリコン）、94…拡散層、95…段差緩衝用配線（ポリシリコン）、96…ワード線シャント層（2層目メタル層）、97…ワード線（ポリシリコン）、98…メモリセルアレイのガードリング用拡散層、99…段差緩和用配線（ポリシリコン兼ガードリングシャント層）、100…ビット線（ポリサイド）。

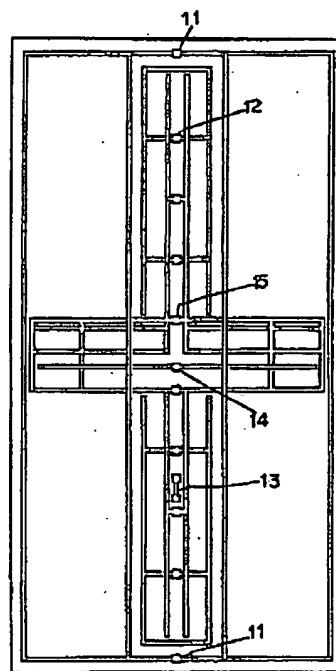
【図1】



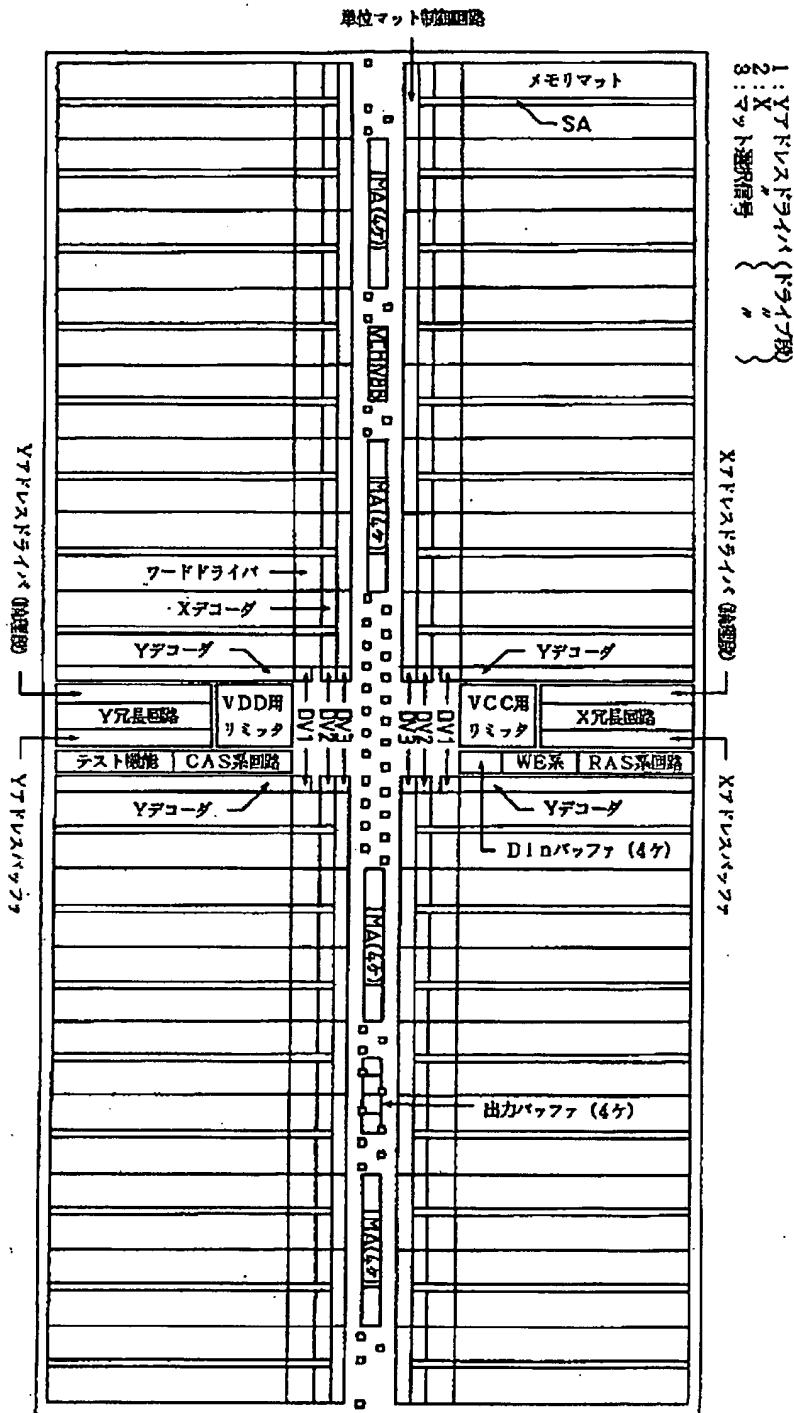
【図7】



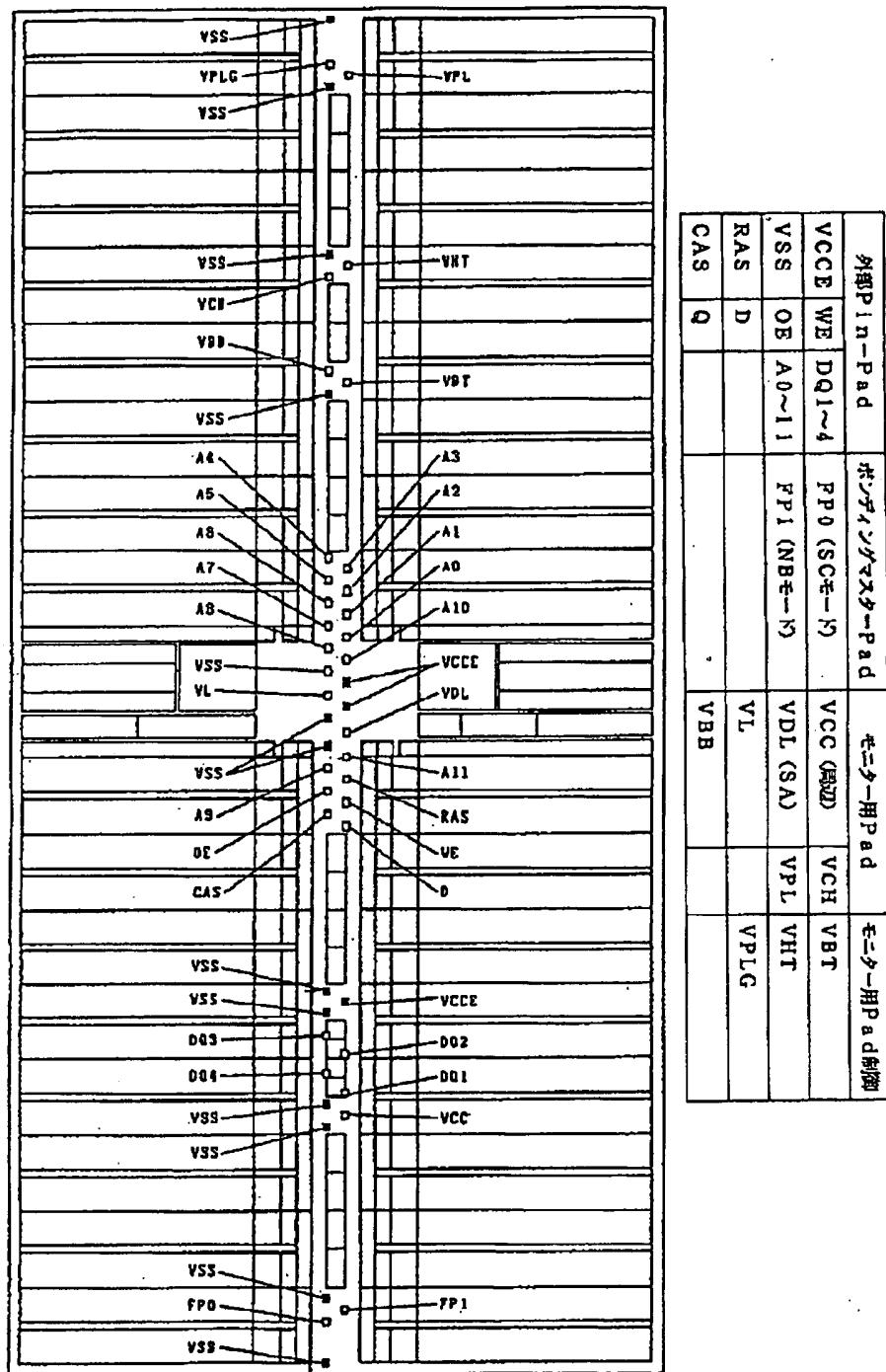
【図8】



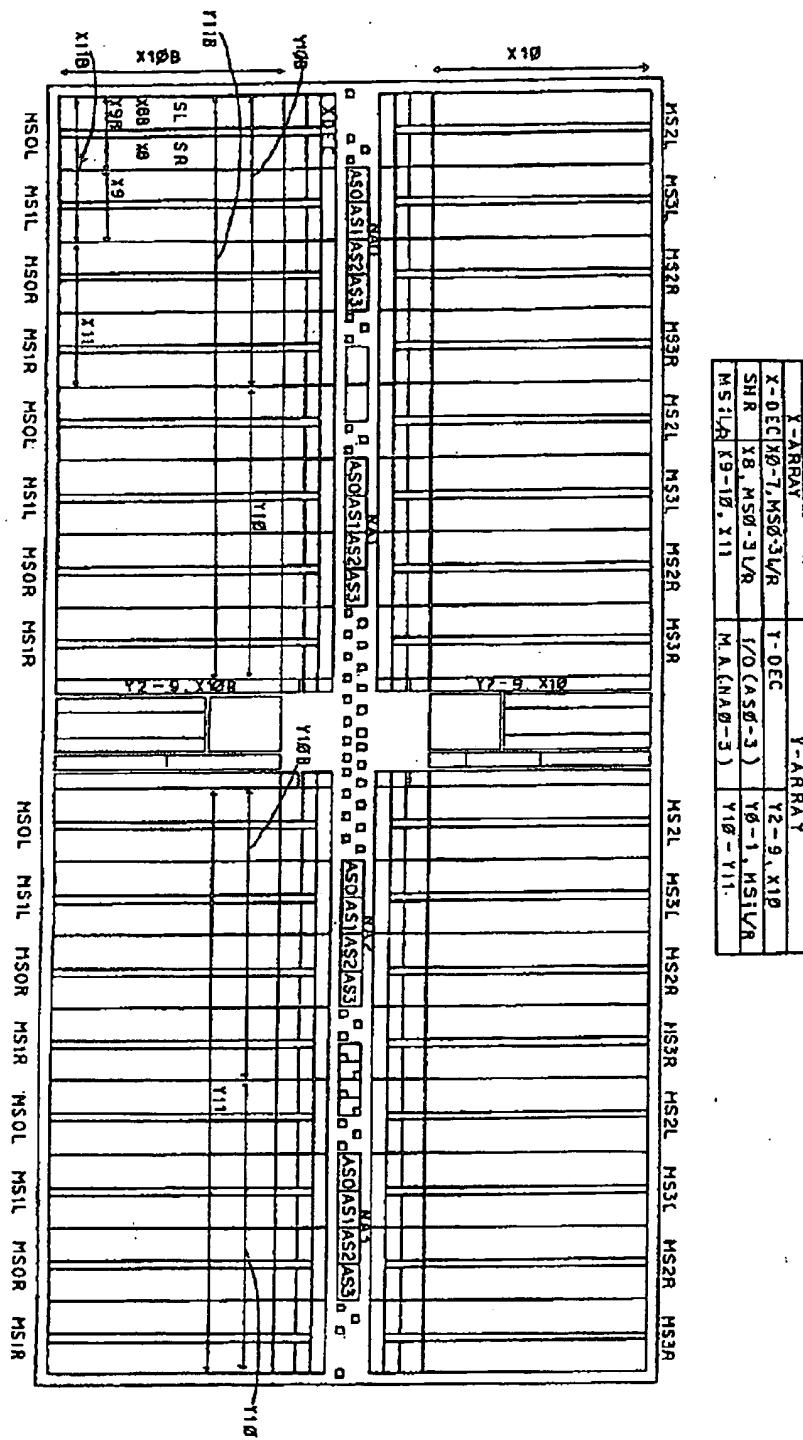
【図2】



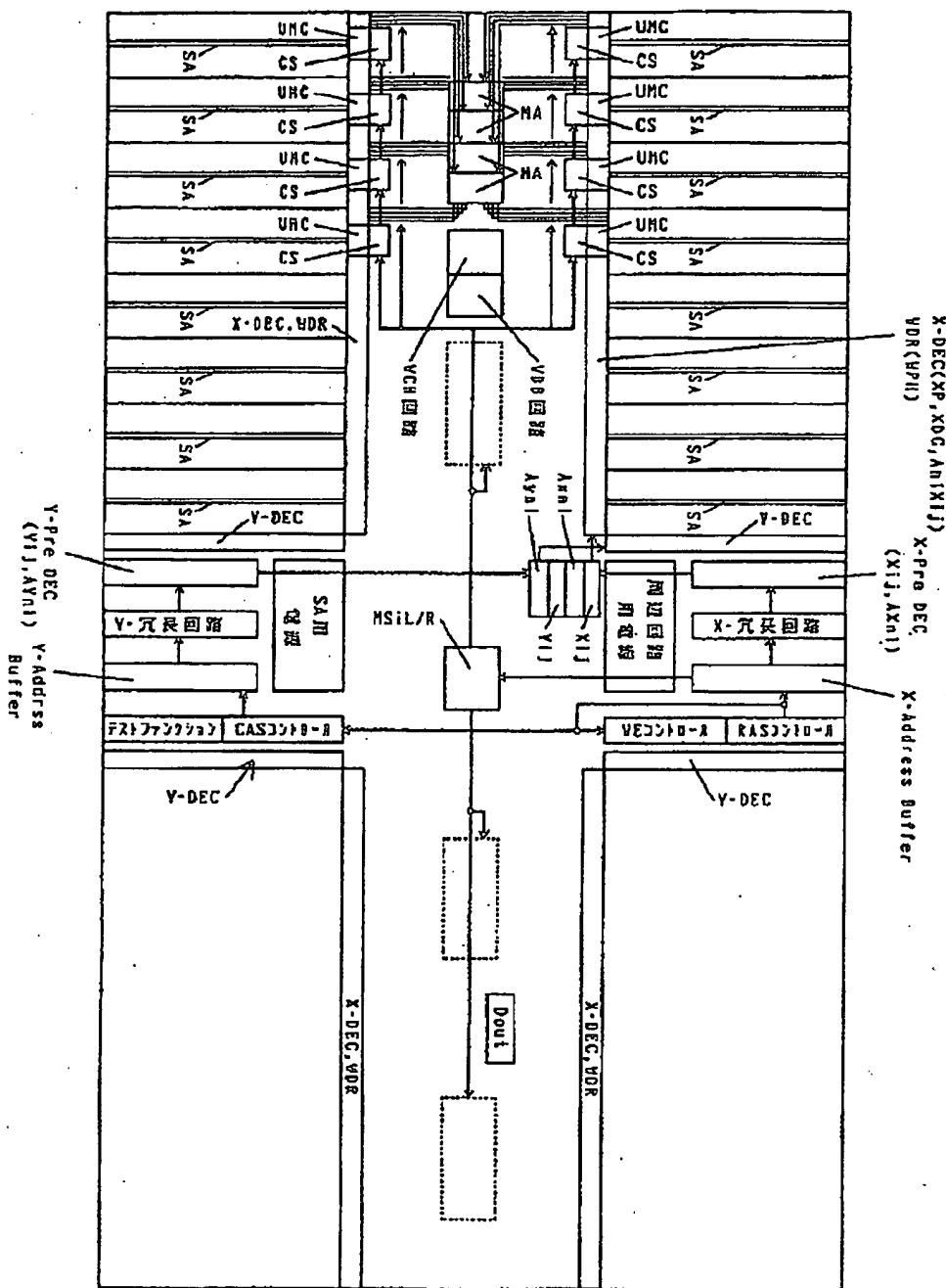
【図3】



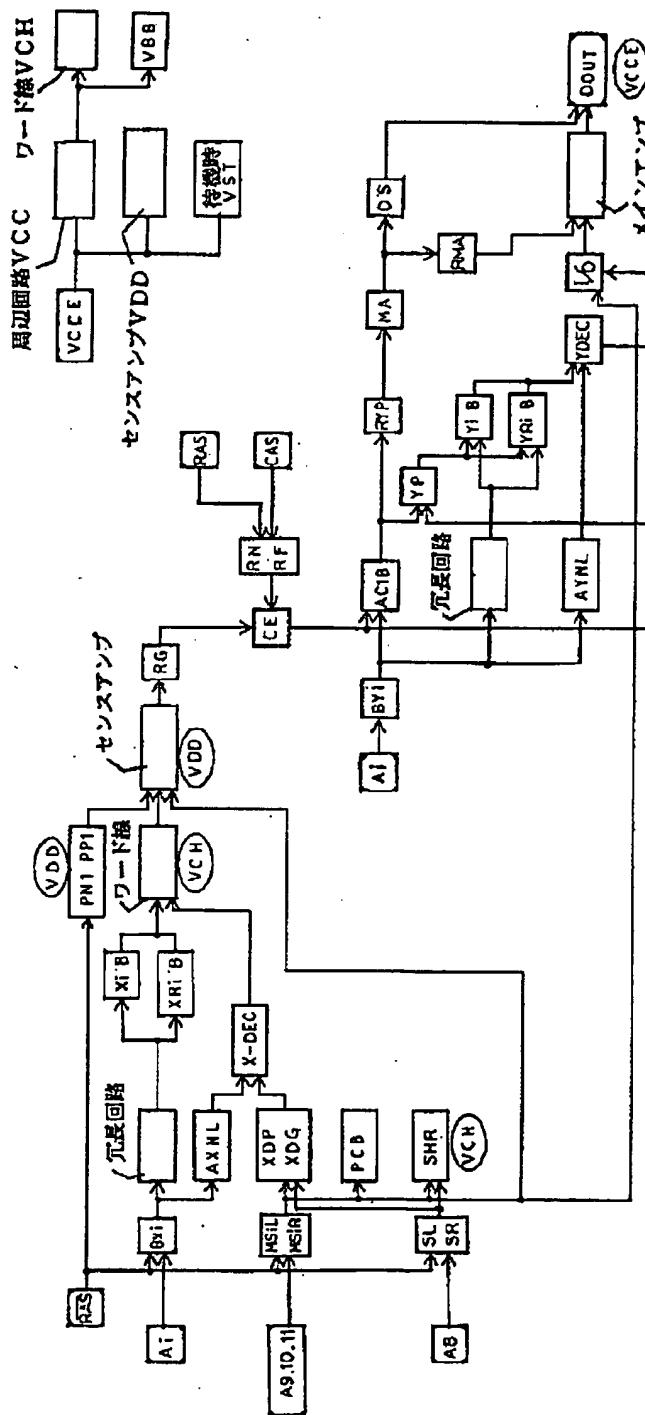
【図4】



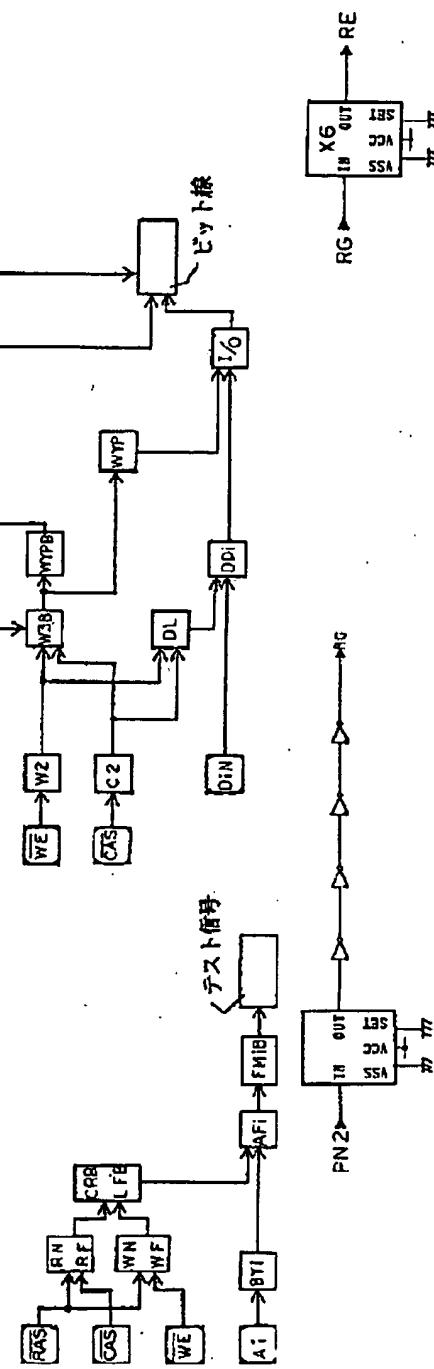
【図5】



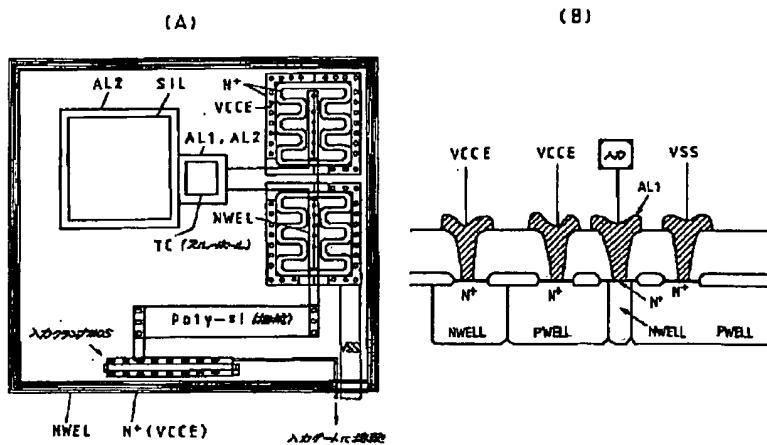
【図6】



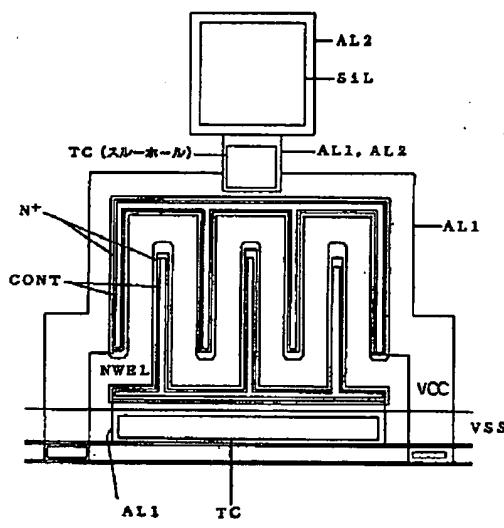
【図30】



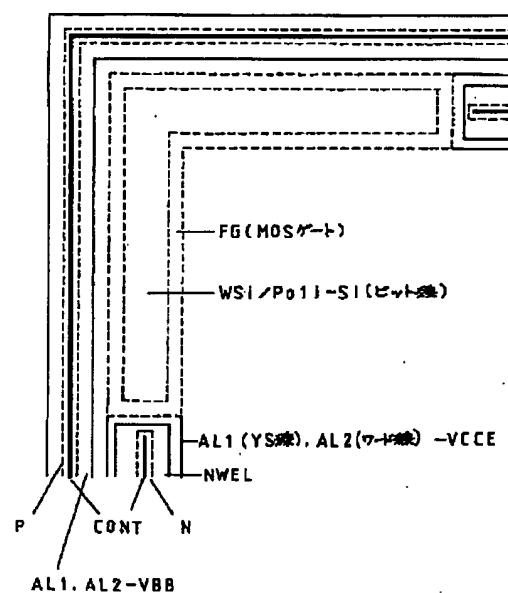
【図9】



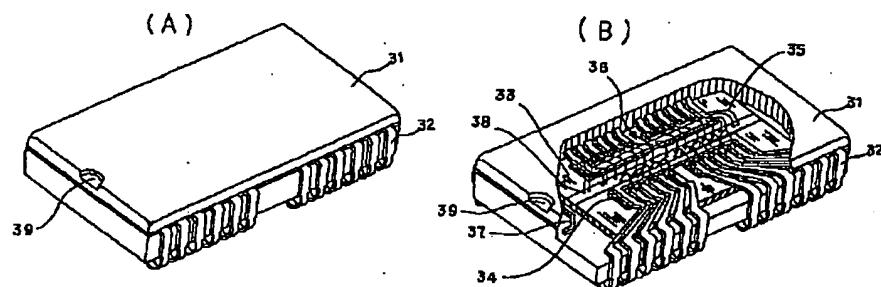
【図10】



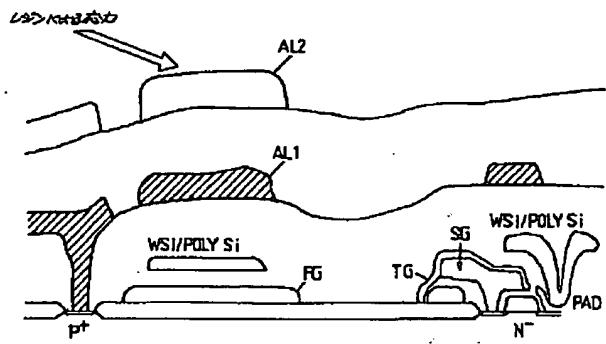
【図11】



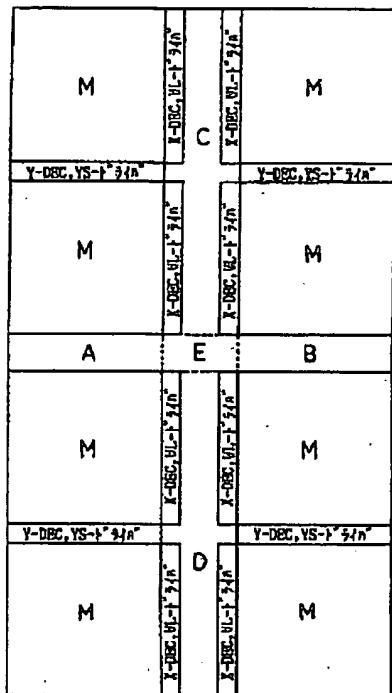
【図24】



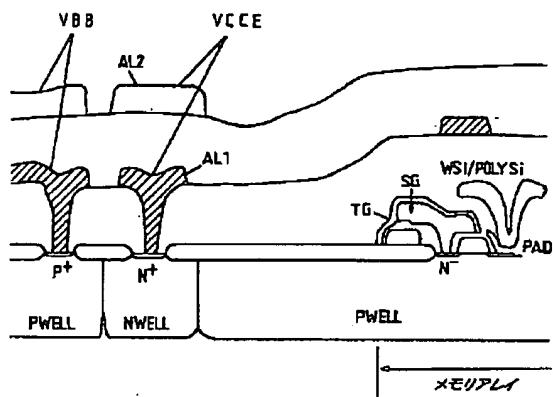
【図12】



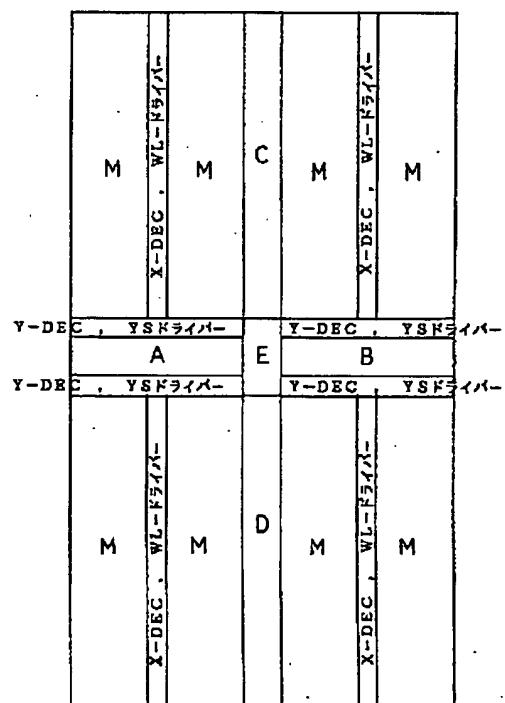
【図14】



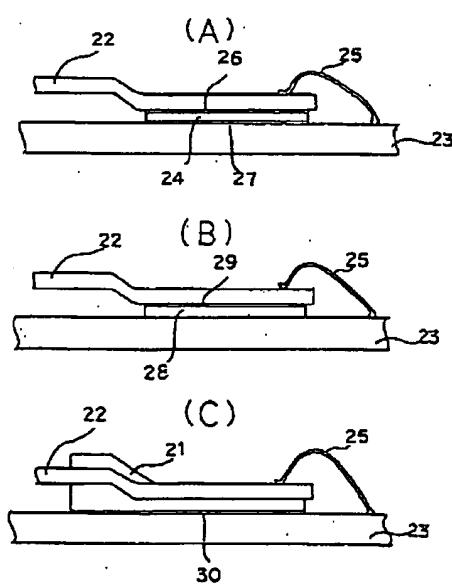
【図13】



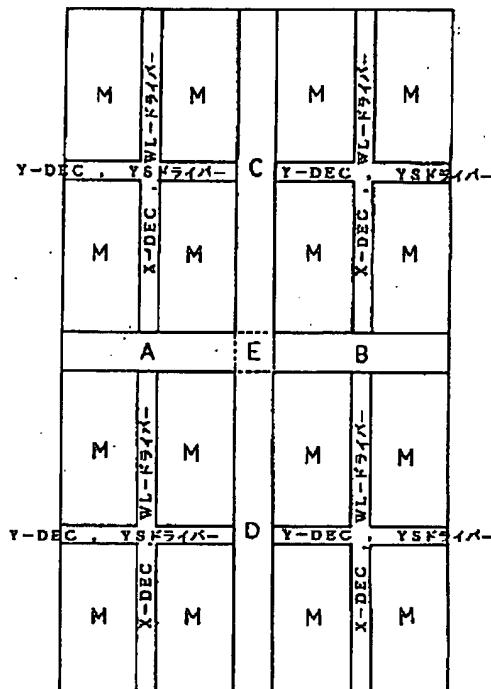
【図15】



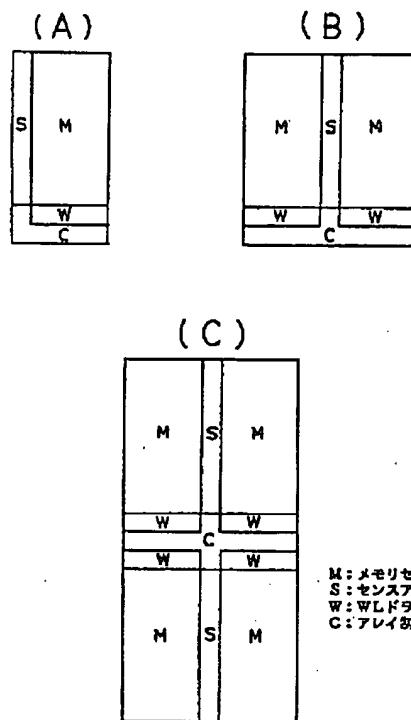
【図23】



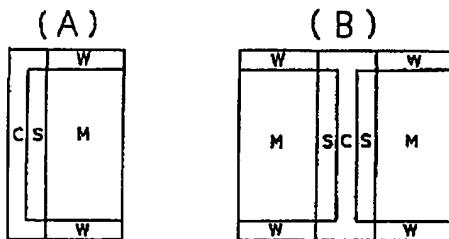
【図16】



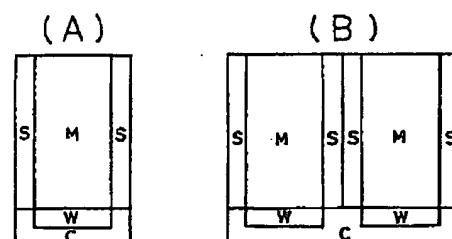
【図17】



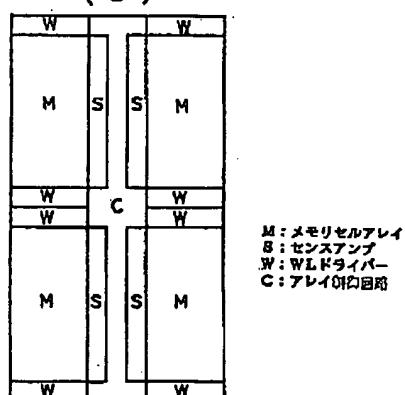
【図18】



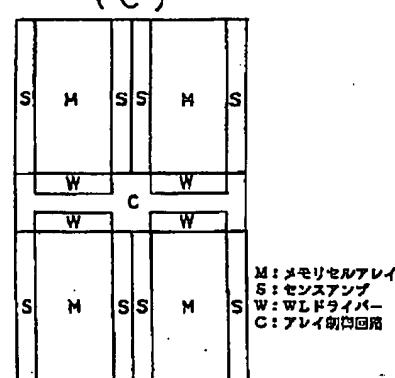
【図19】



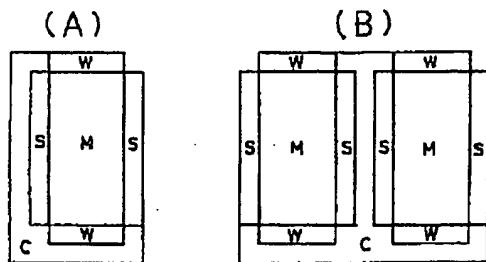
(C)



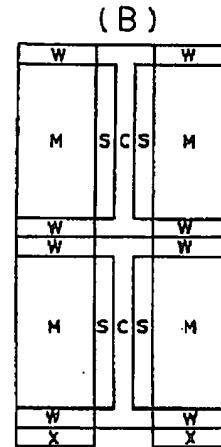
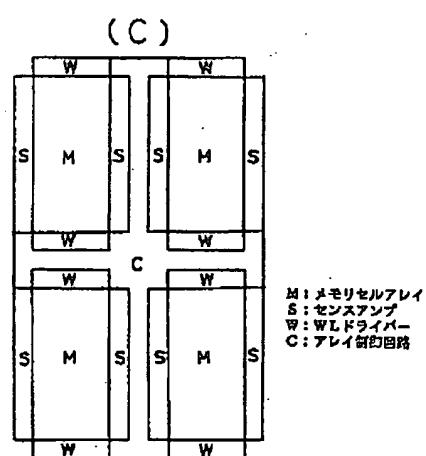
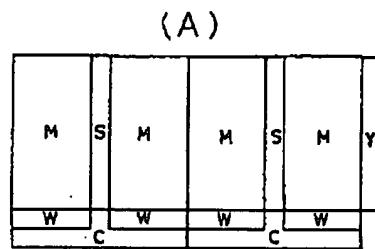
(C)



【図20】

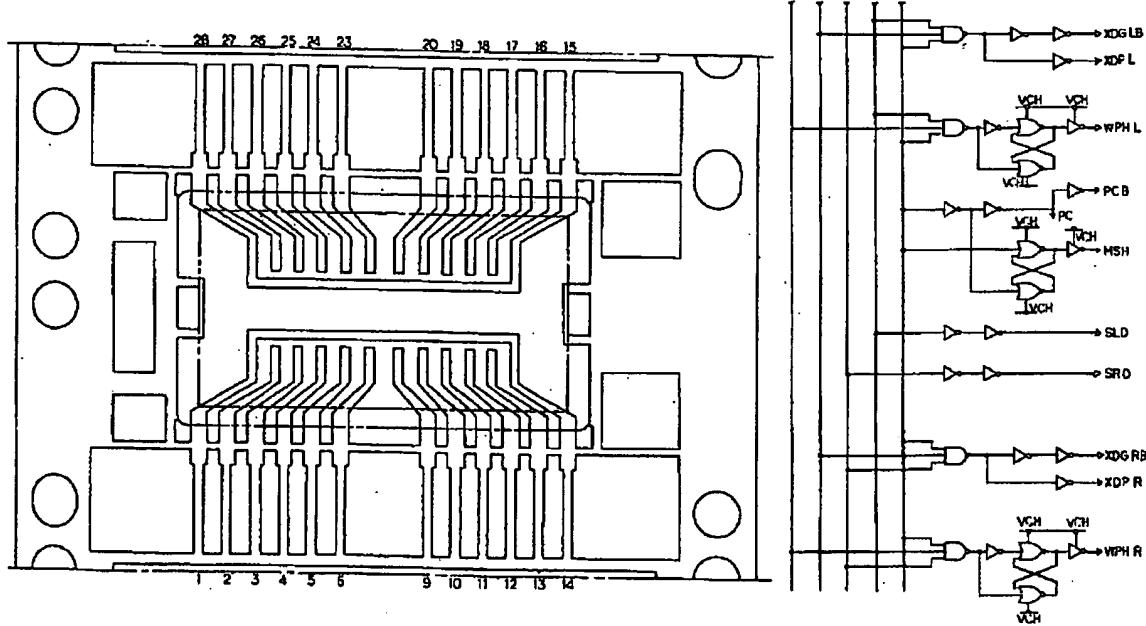


【図21】

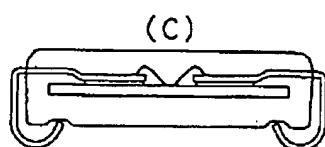
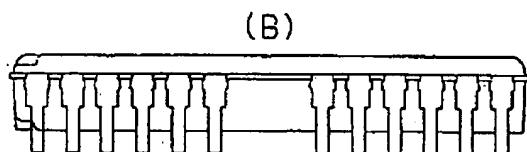
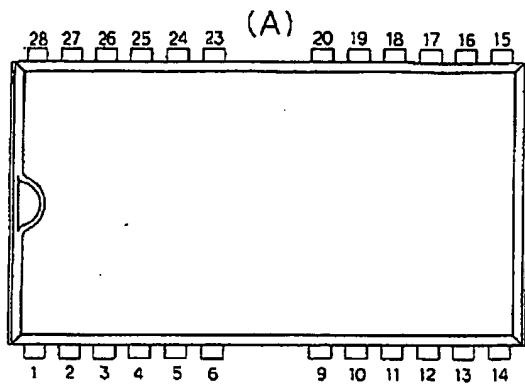


【図40】

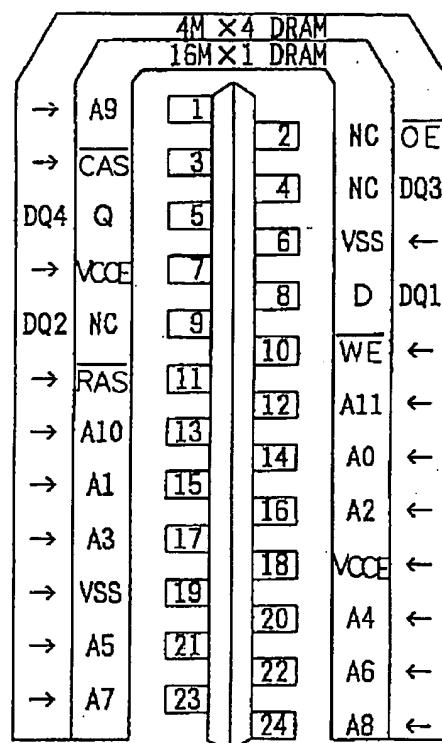
【図22】



【図25】



【図26】

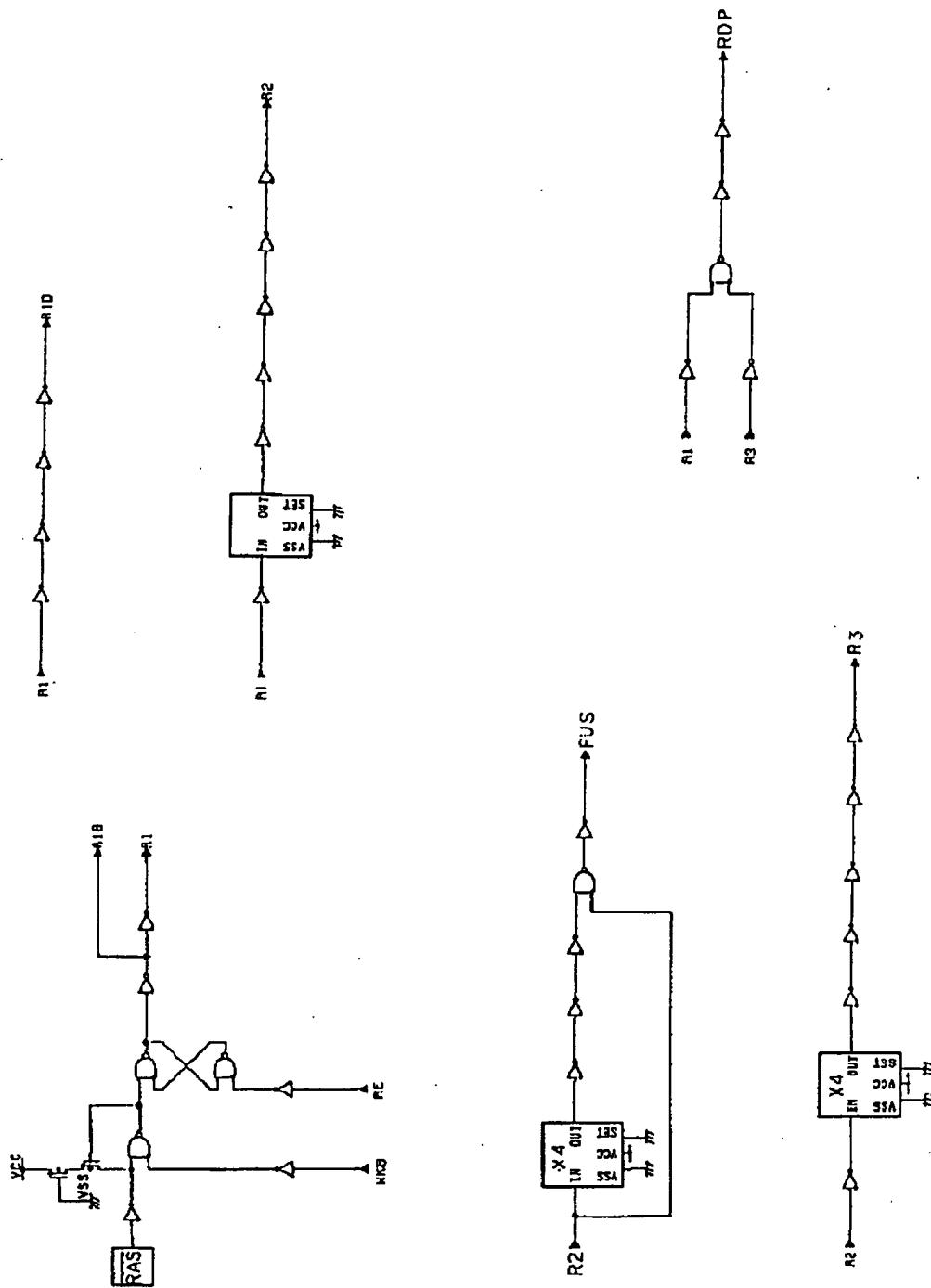


【図27】

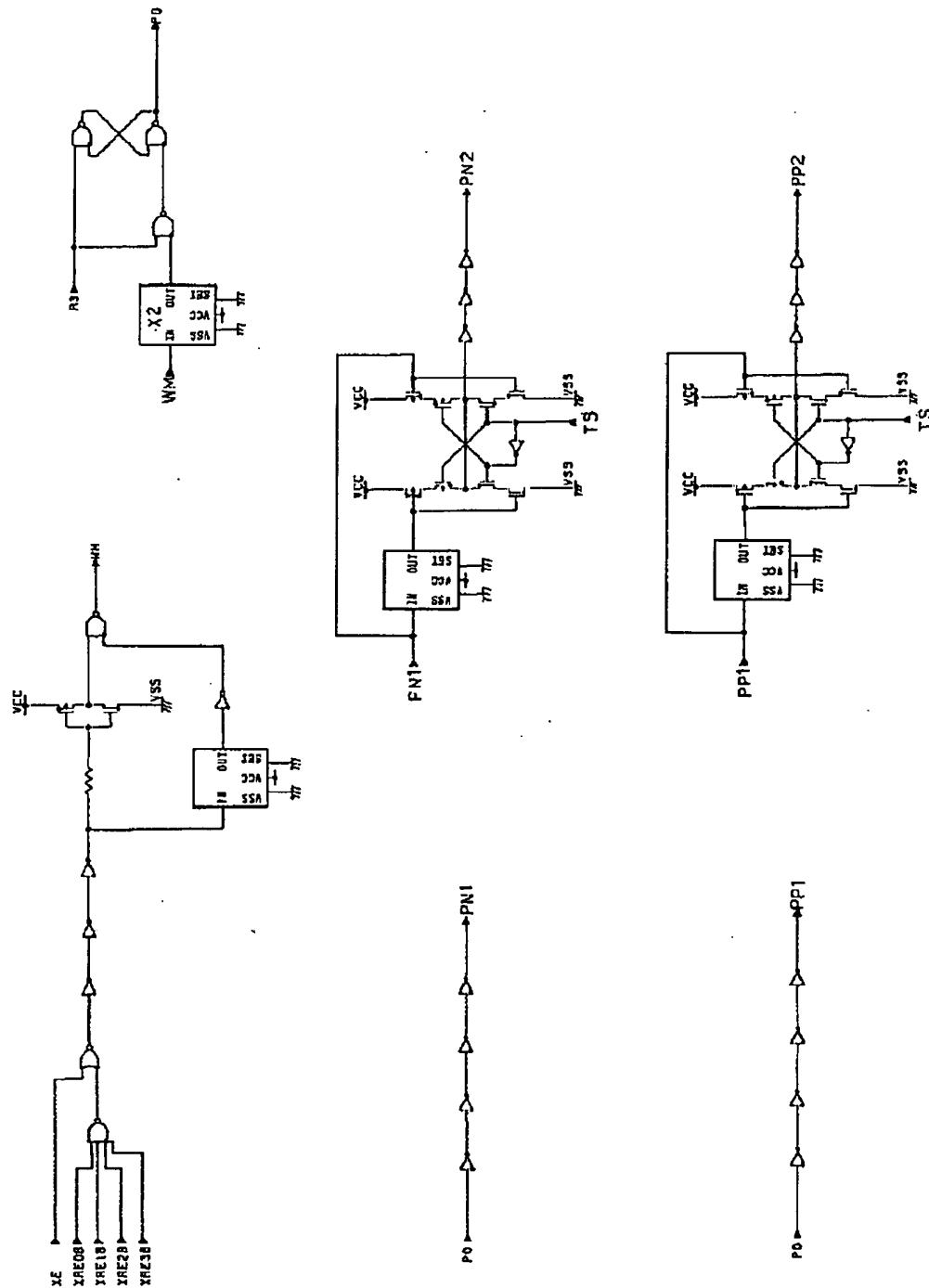
4M × 4 DRAM
16M × 1 DRAM

→ VCCE	28	VSS	←
DQ1 D	27	Q	DQ4
DQ2 NC	26	NC	DQ3
→ WE	25	CAS	←
→ RAS	24	NC	OE
→ A11	23	A9	←
→ A10	20	A8	←
→ A0	19	A7	←
→ A1	18	A6	←
→ A2	17	A5	←
→ A3	16	A4	←
→ VCCE	15	VSS	←

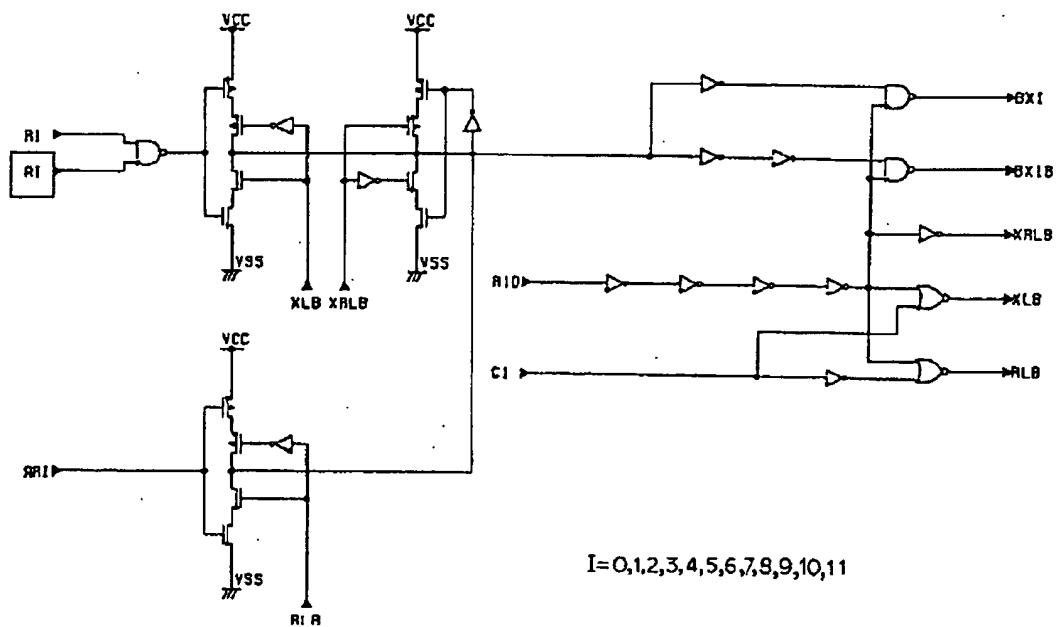
【図28】



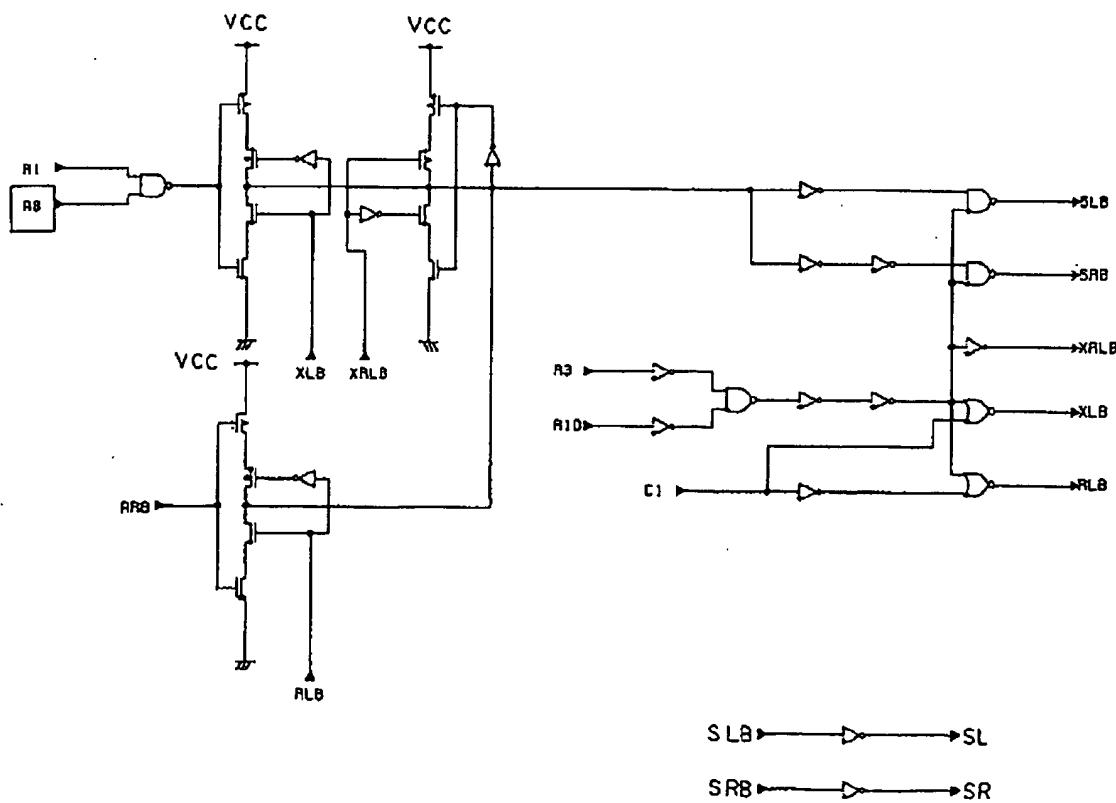
【図29】



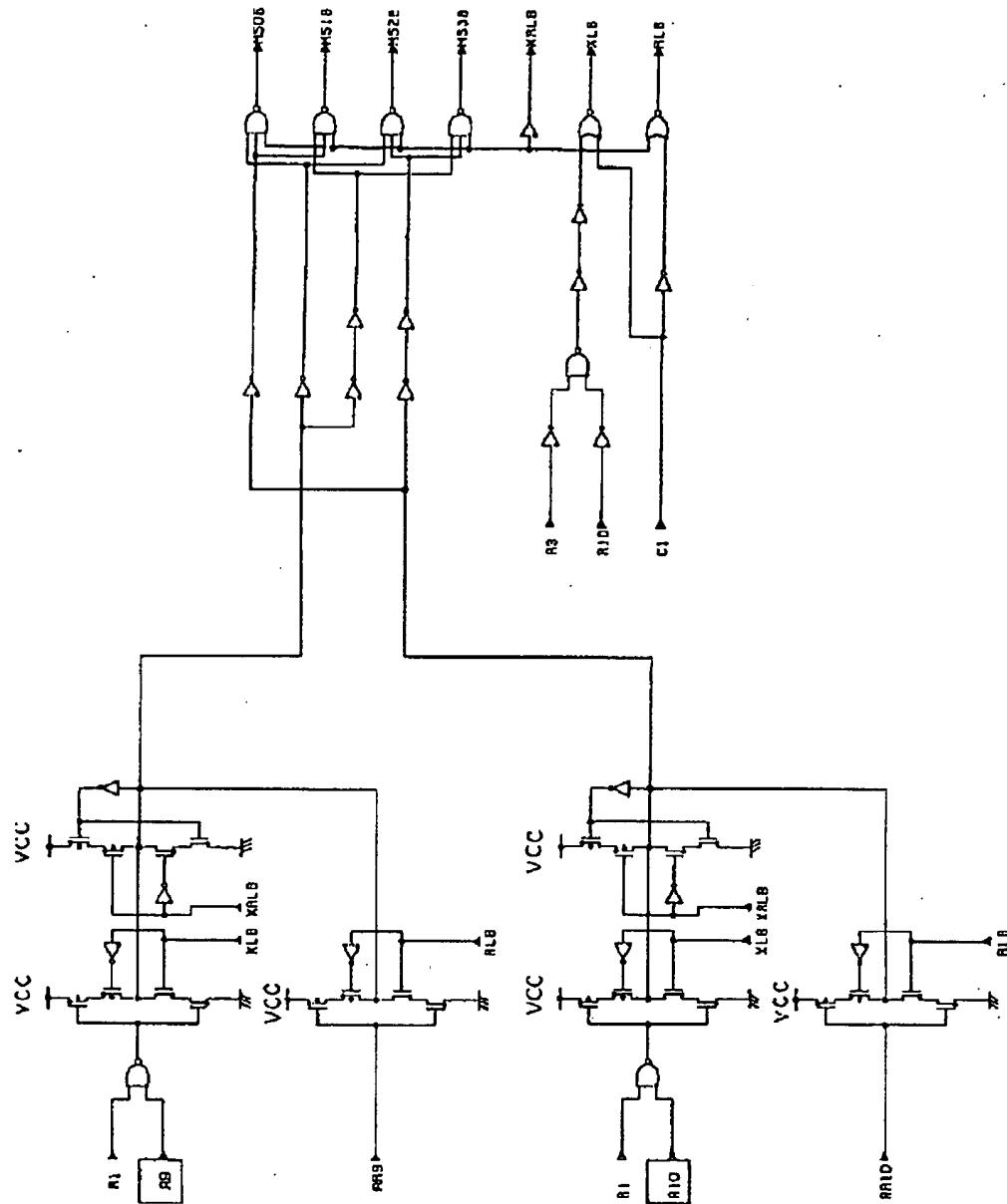
【図31】



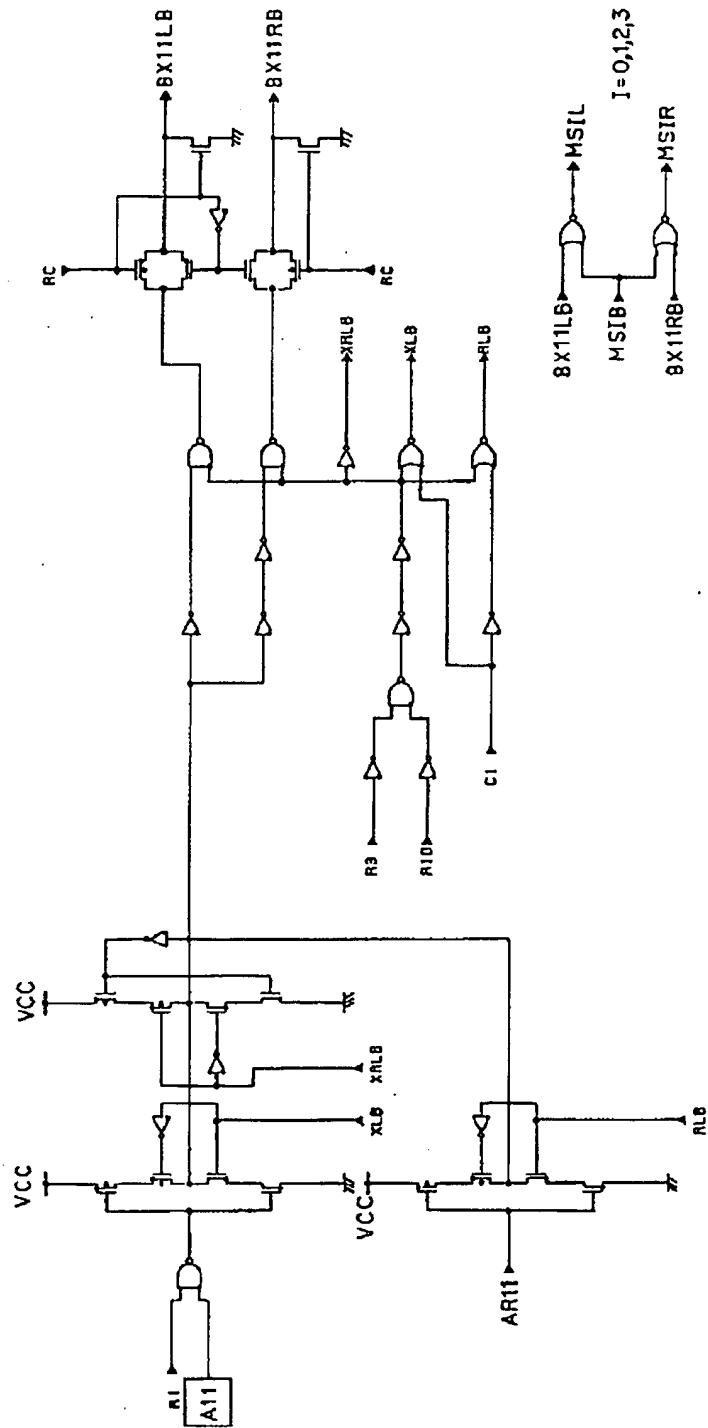
【図34】



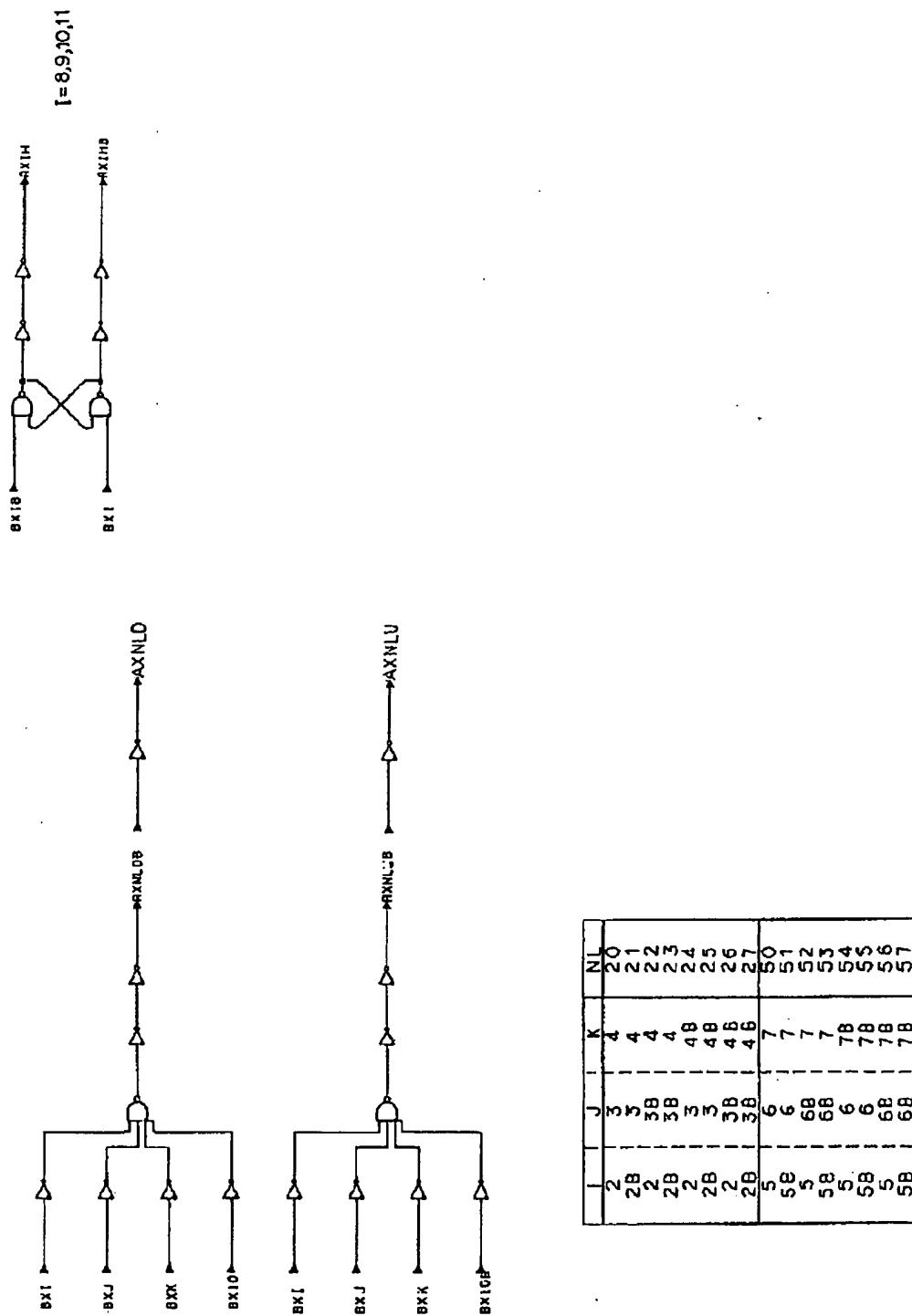
【図32】



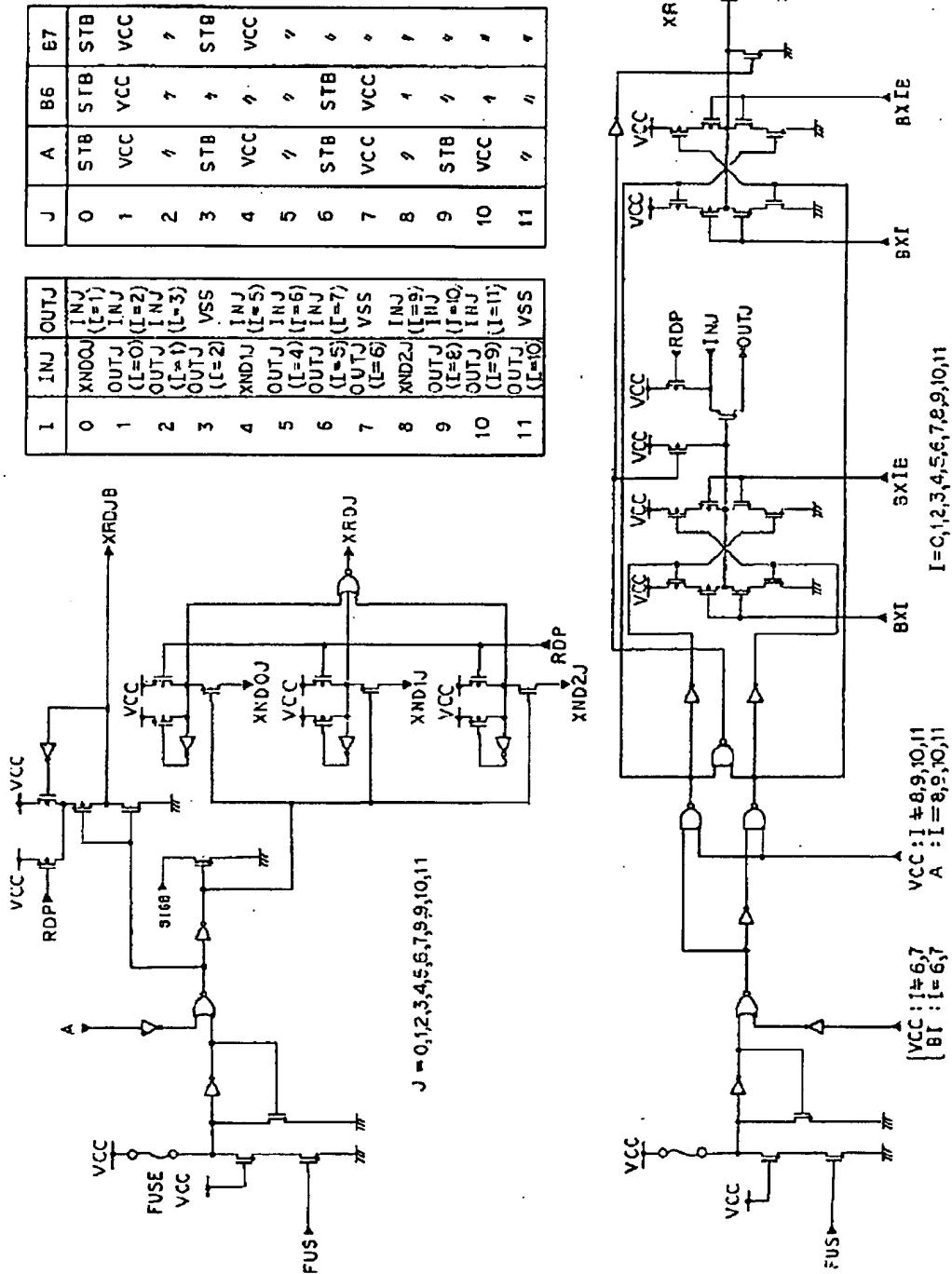
【図33】



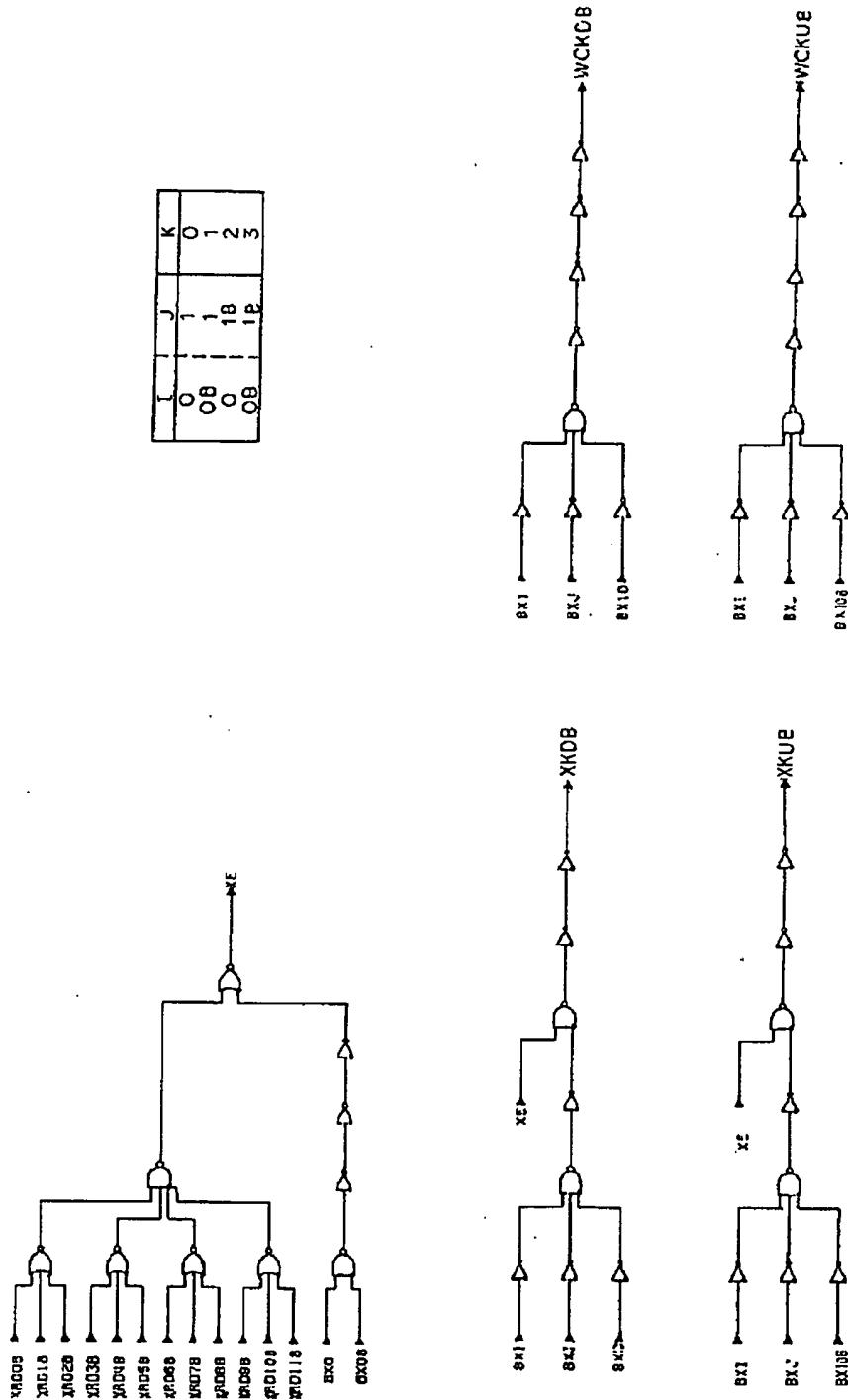
【図35】



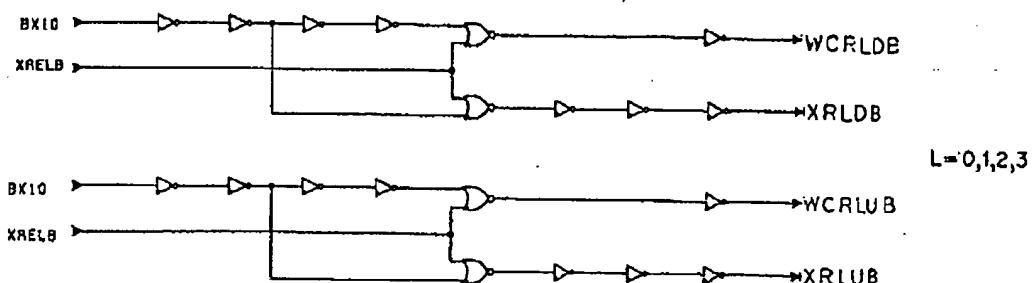
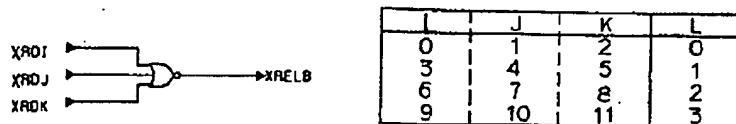
〔図36〕



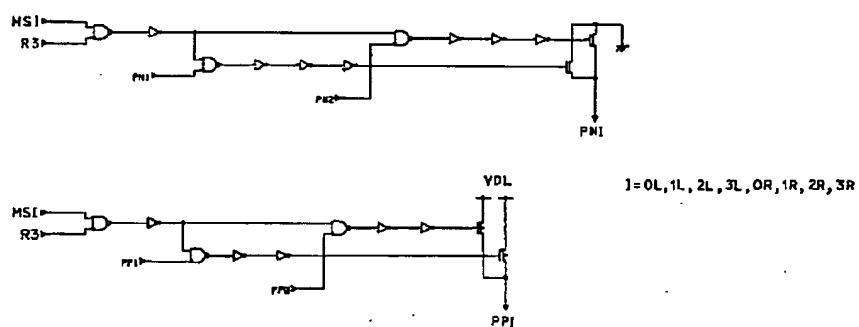
【図37】



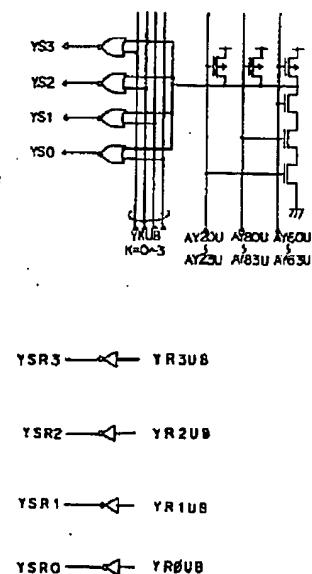
【図38】



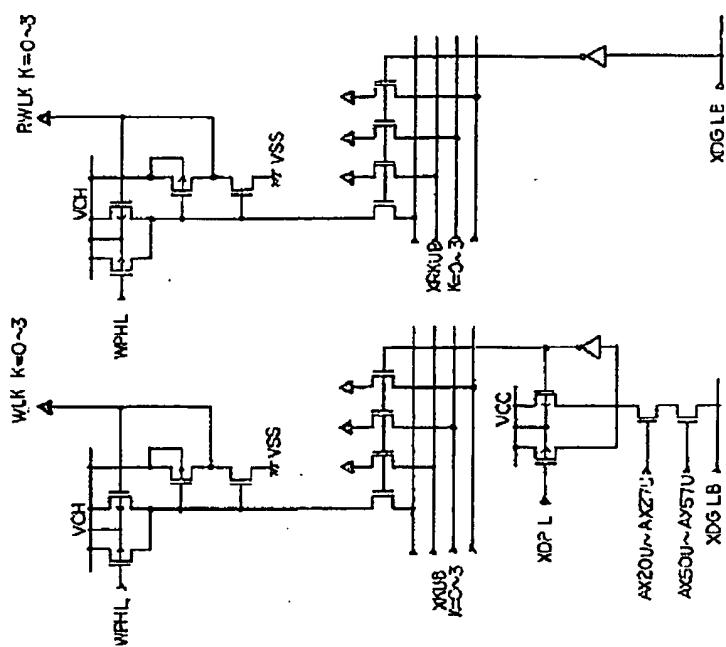
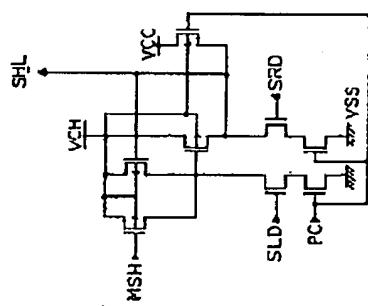
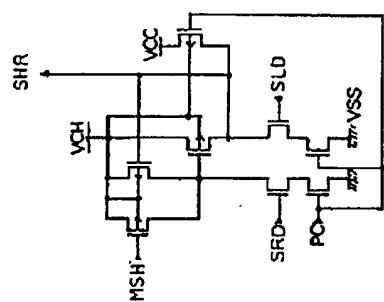
【図39】



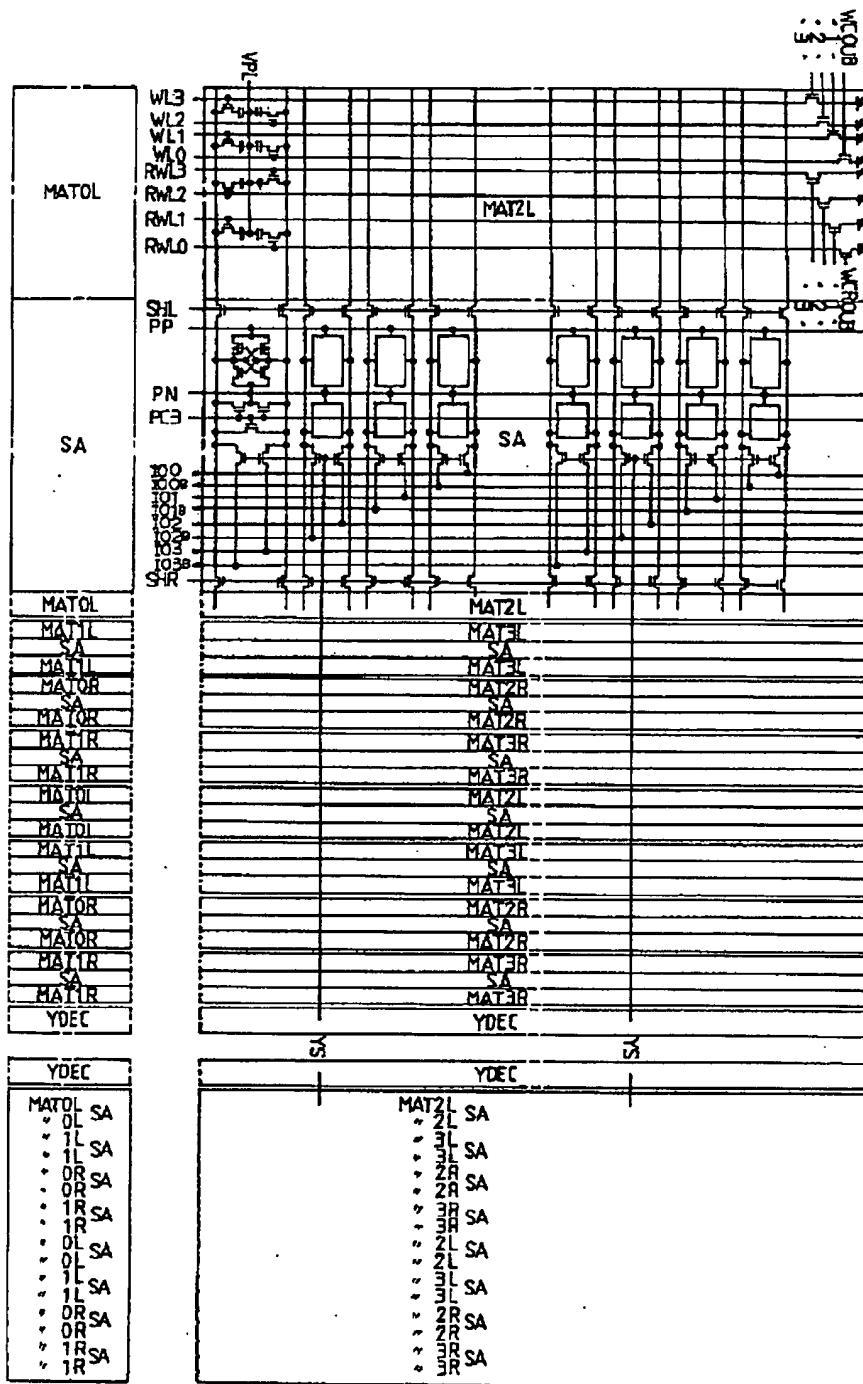
【図50】



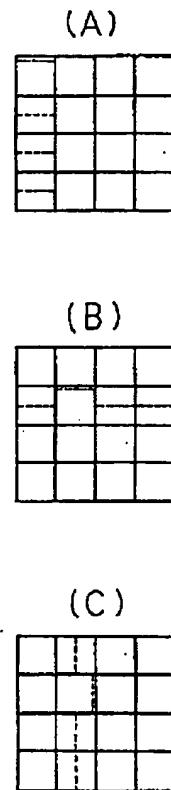
【図41】



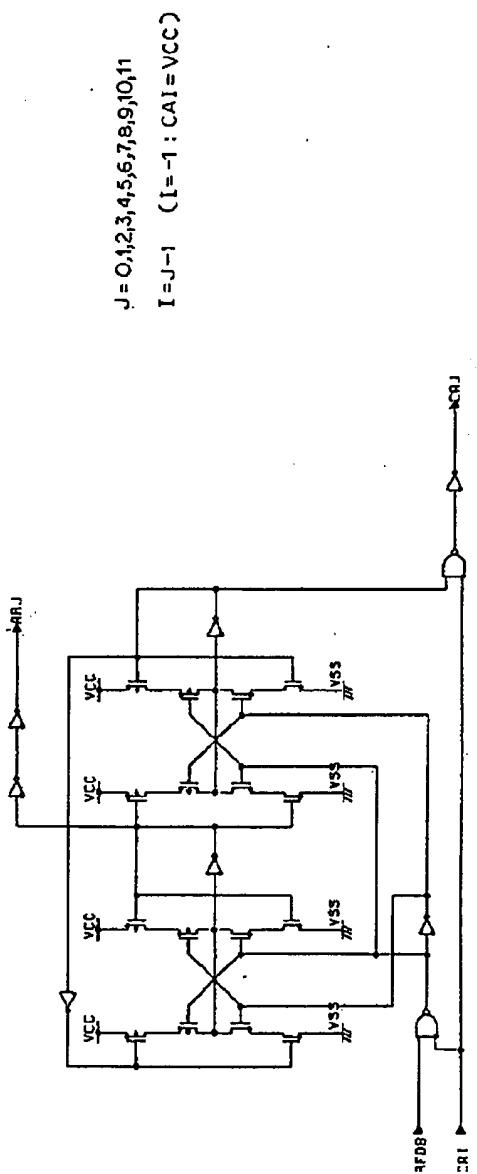
【図42】



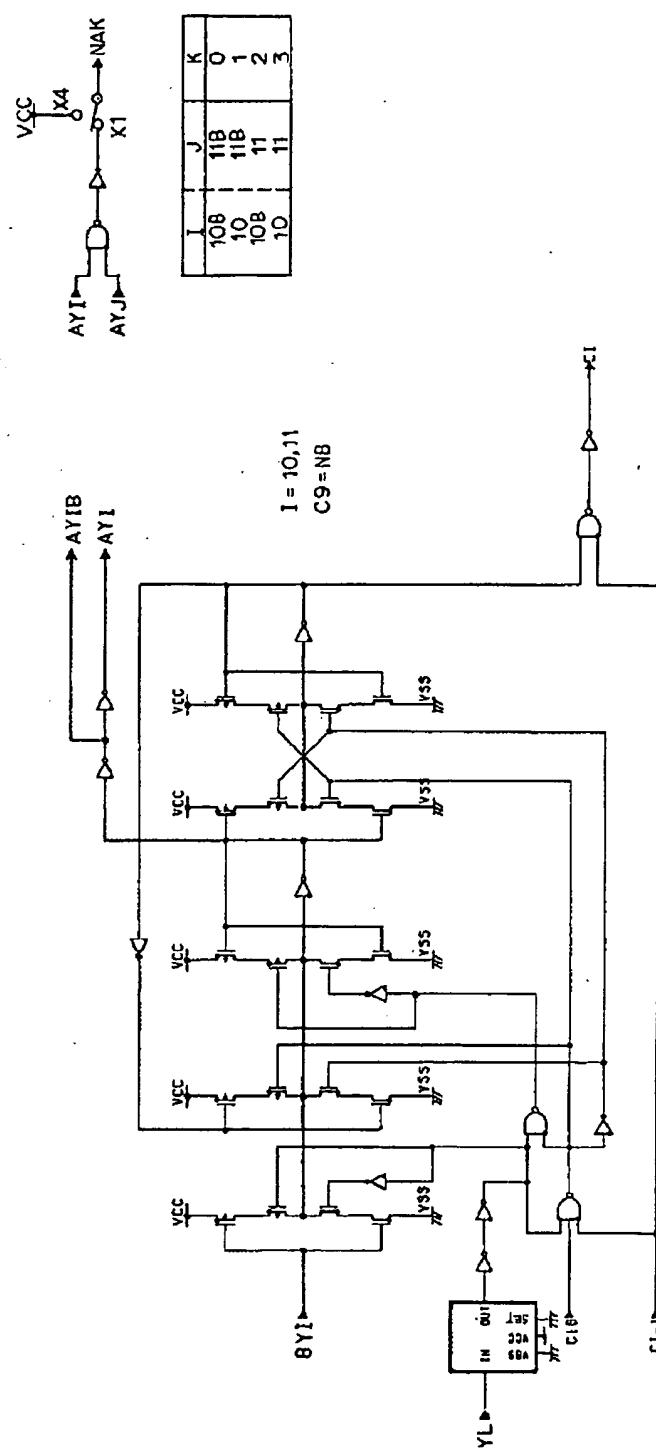
【図91】



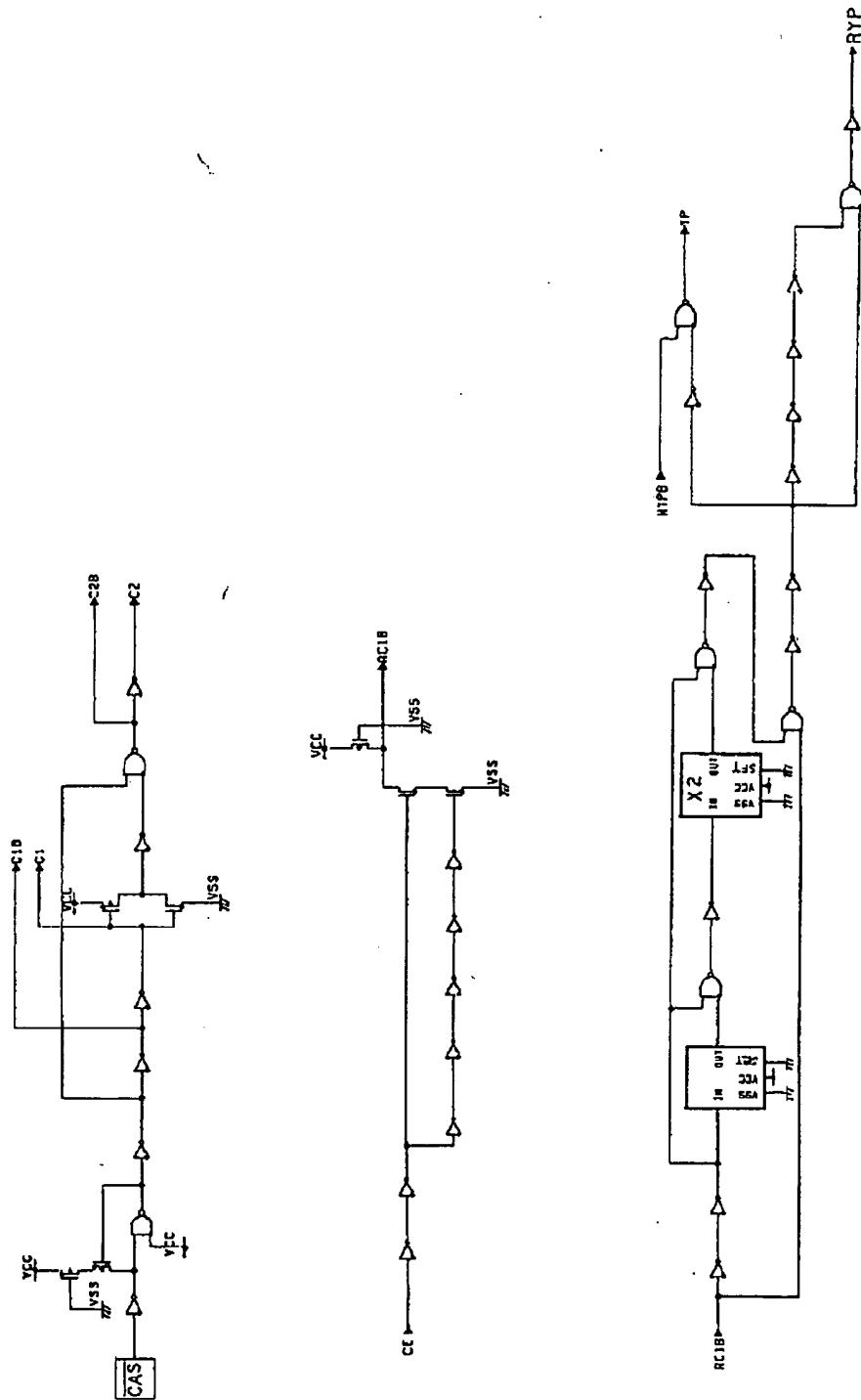
【図43】



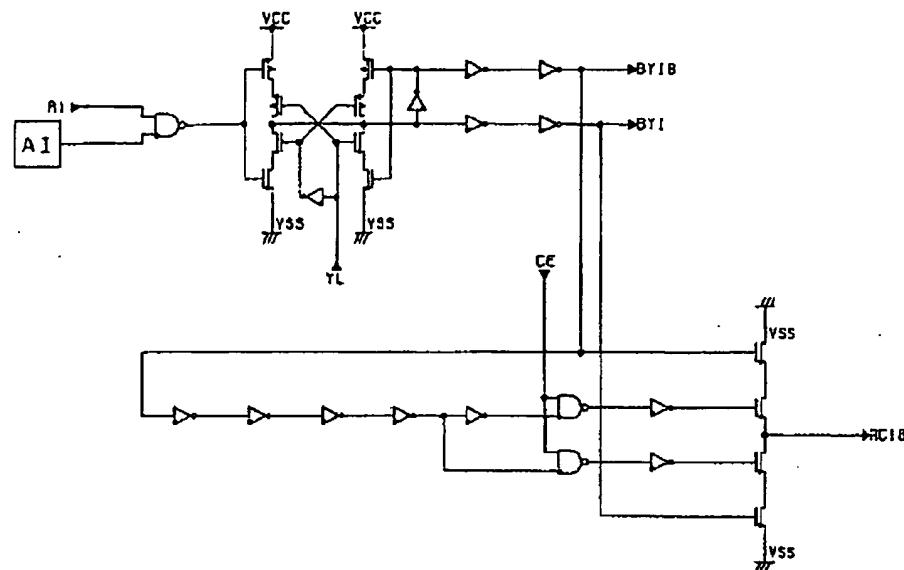
【図51】



【図44】

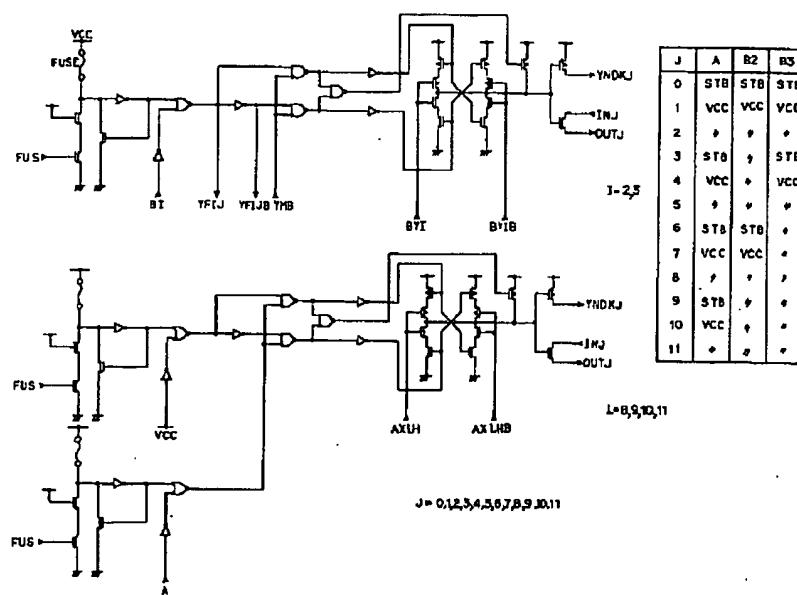


【図45】

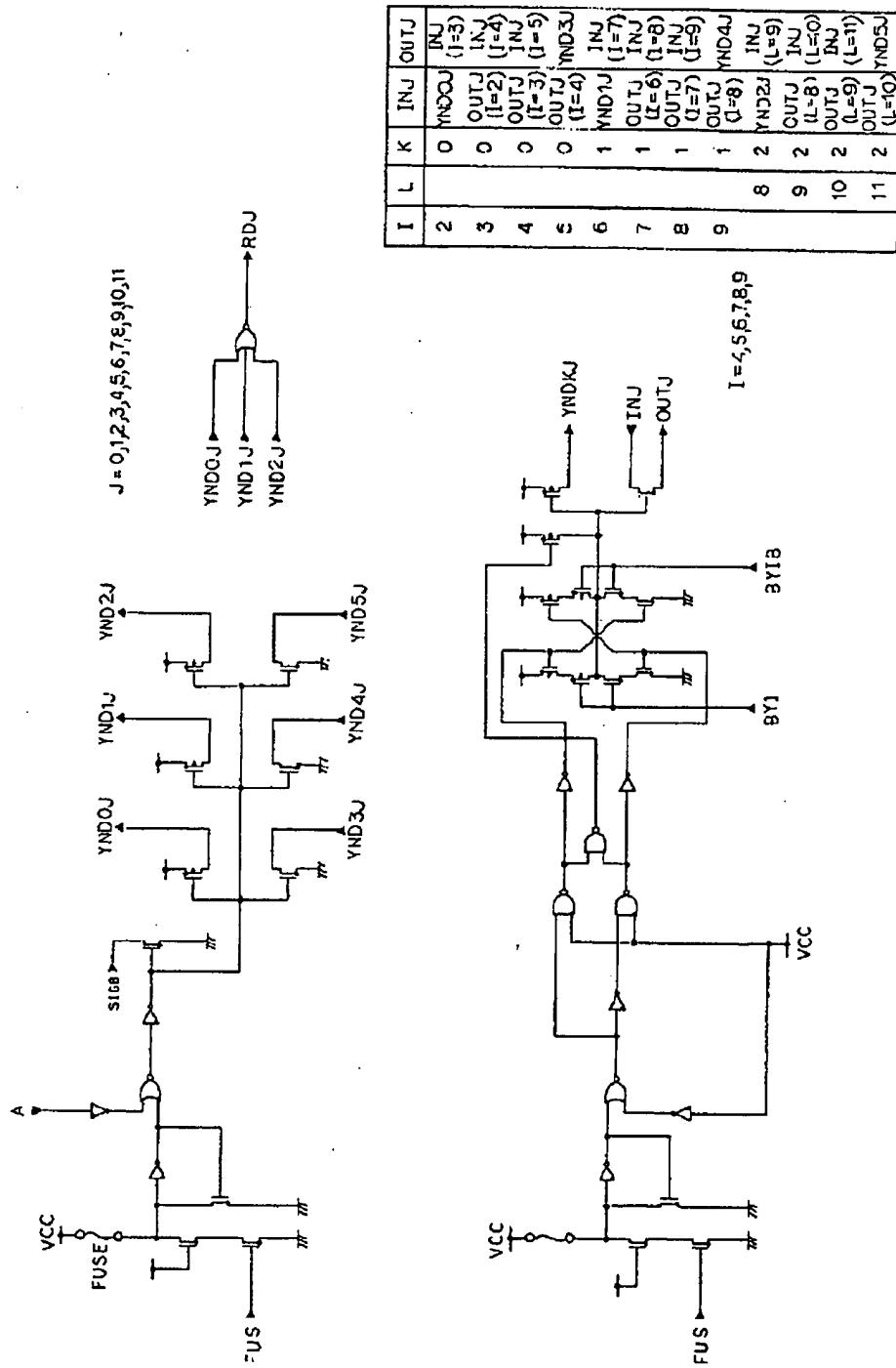


$I = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11$

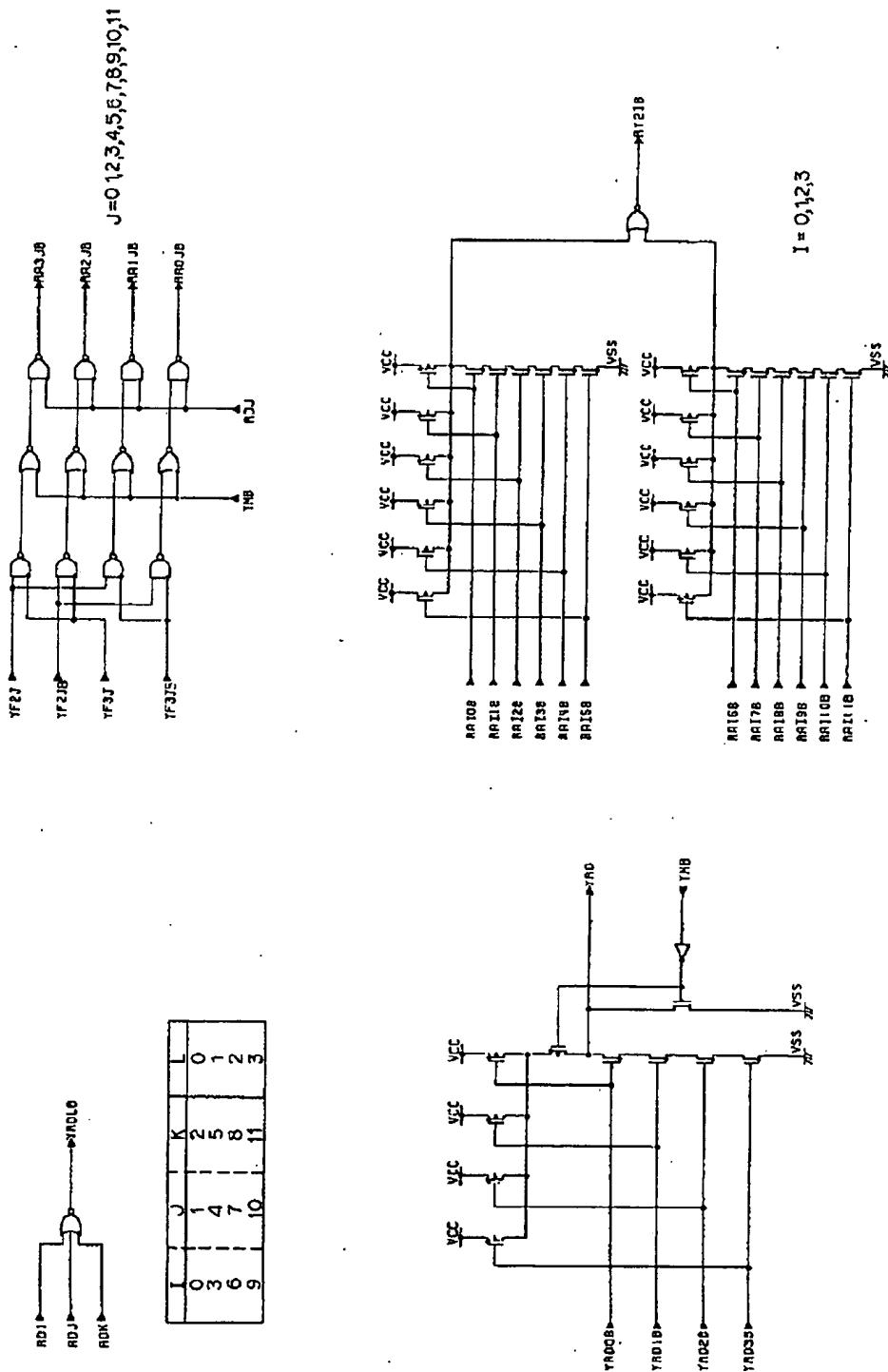
【図47】



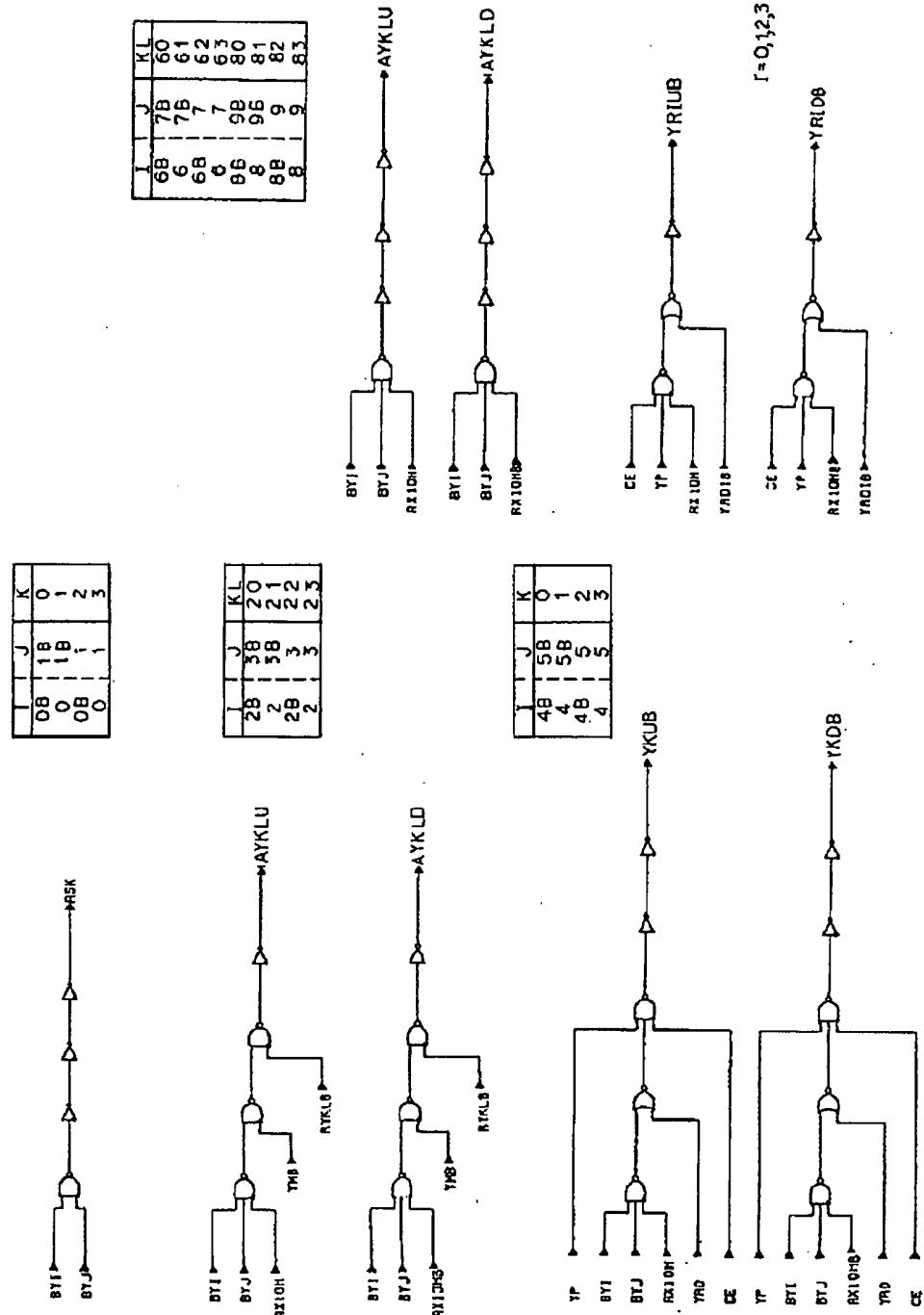
〔图46〕



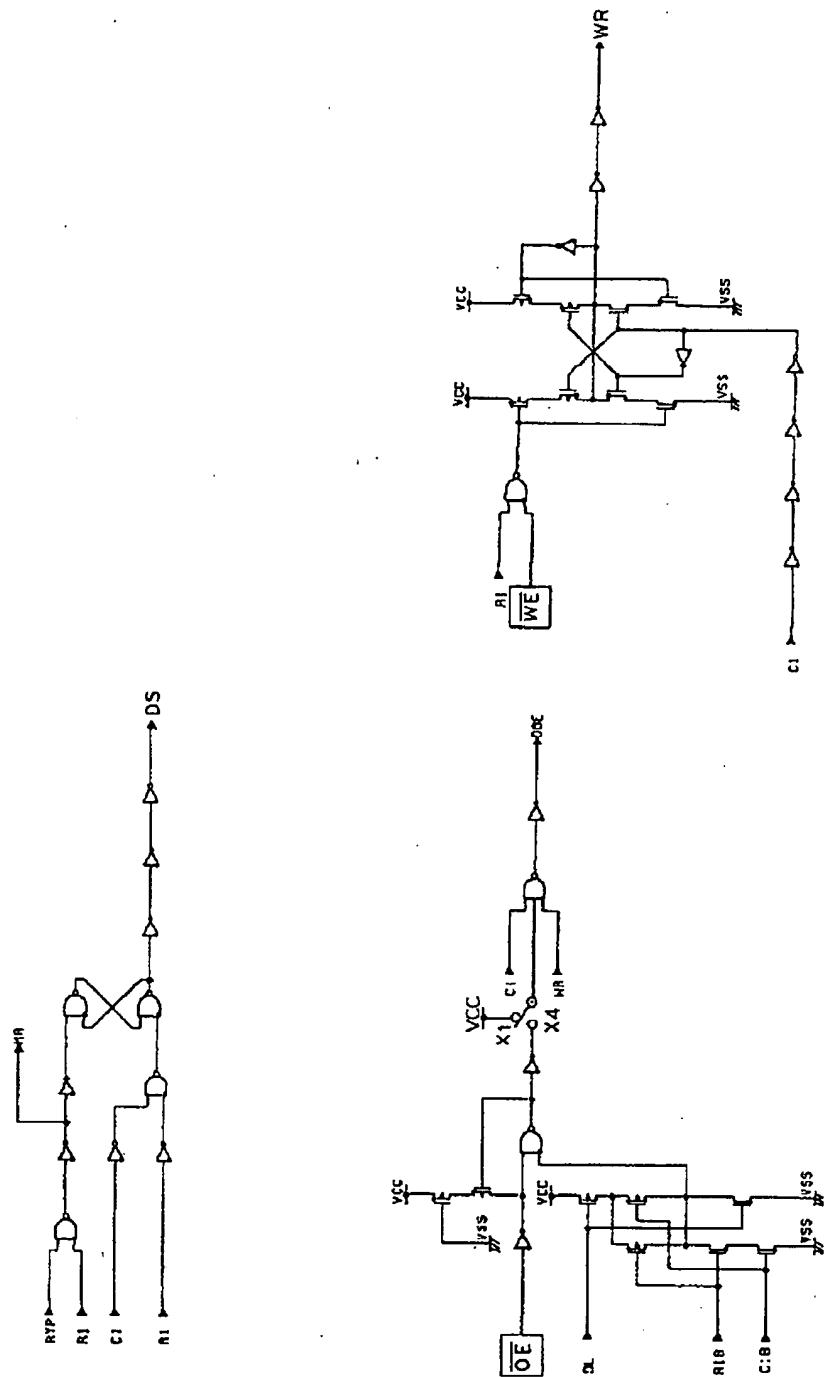
【図48】



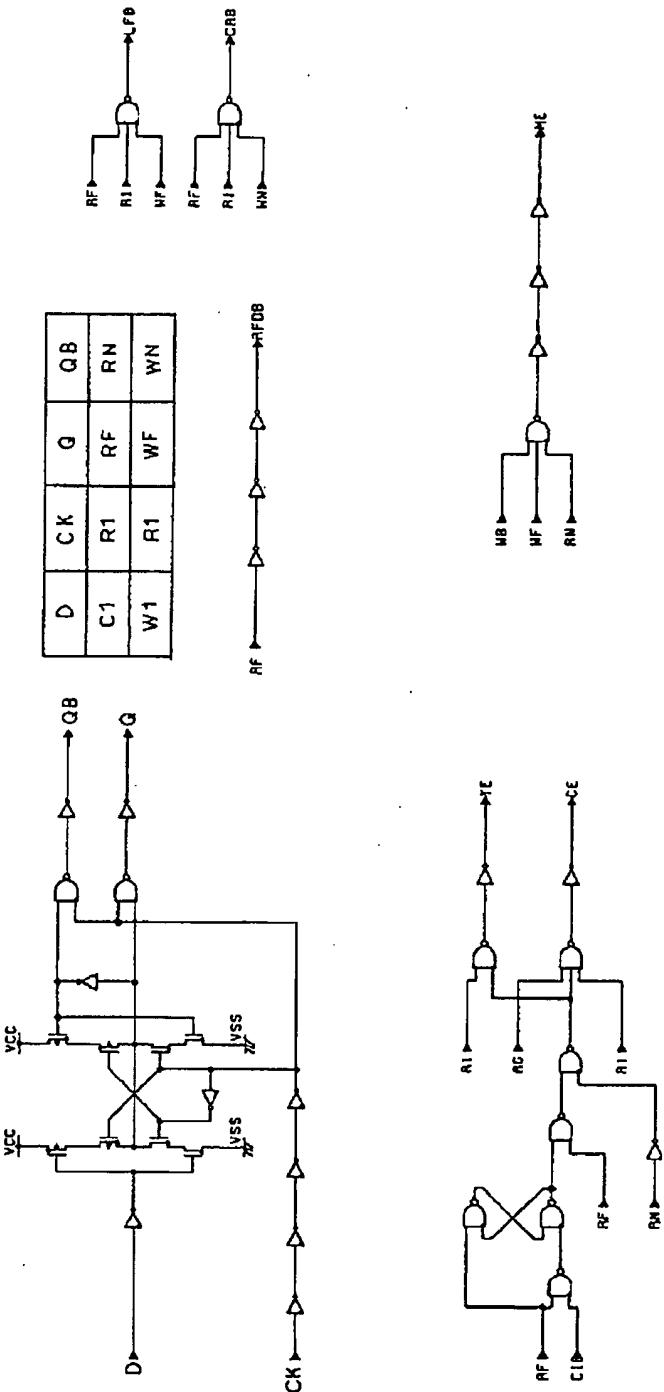
【図49】



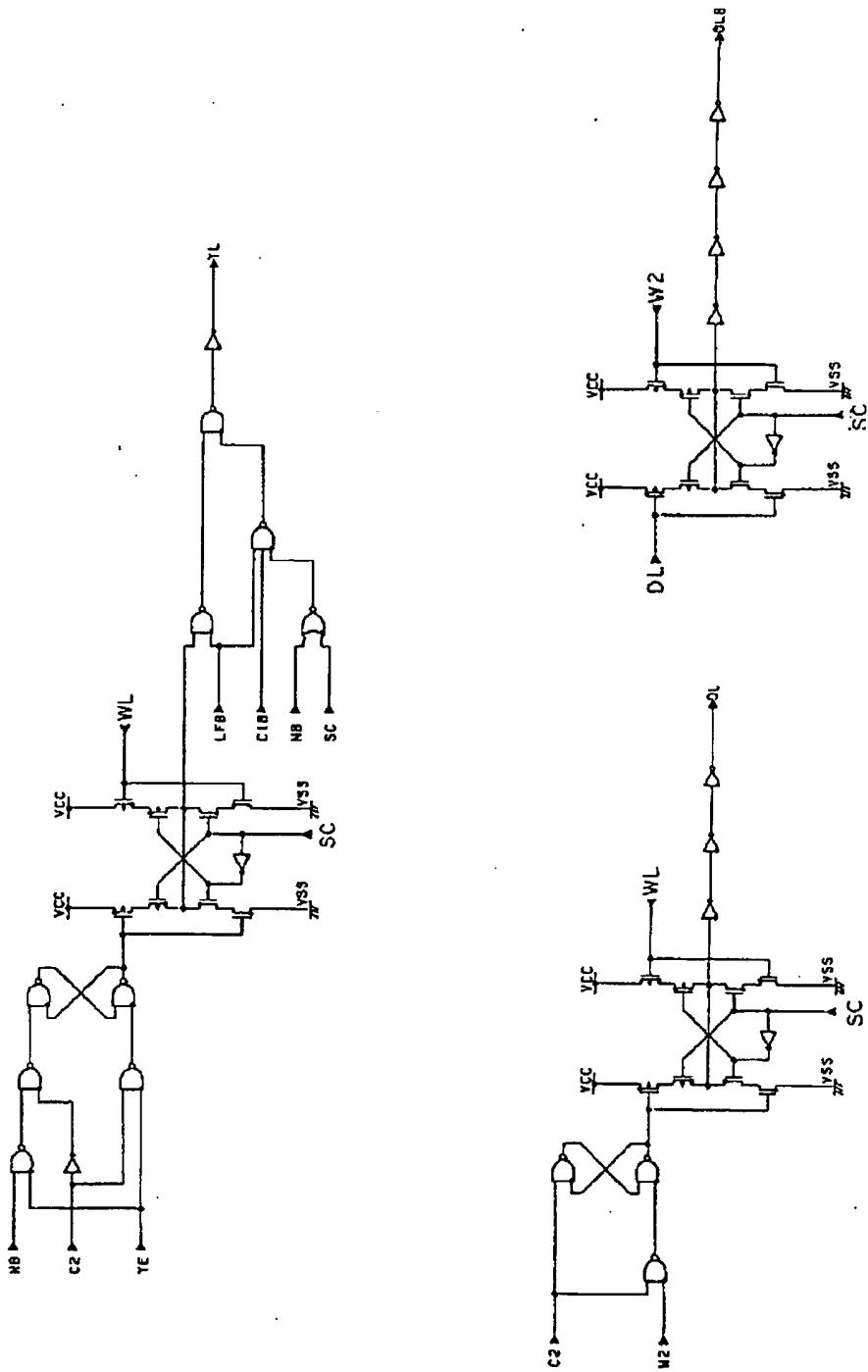
【図52】



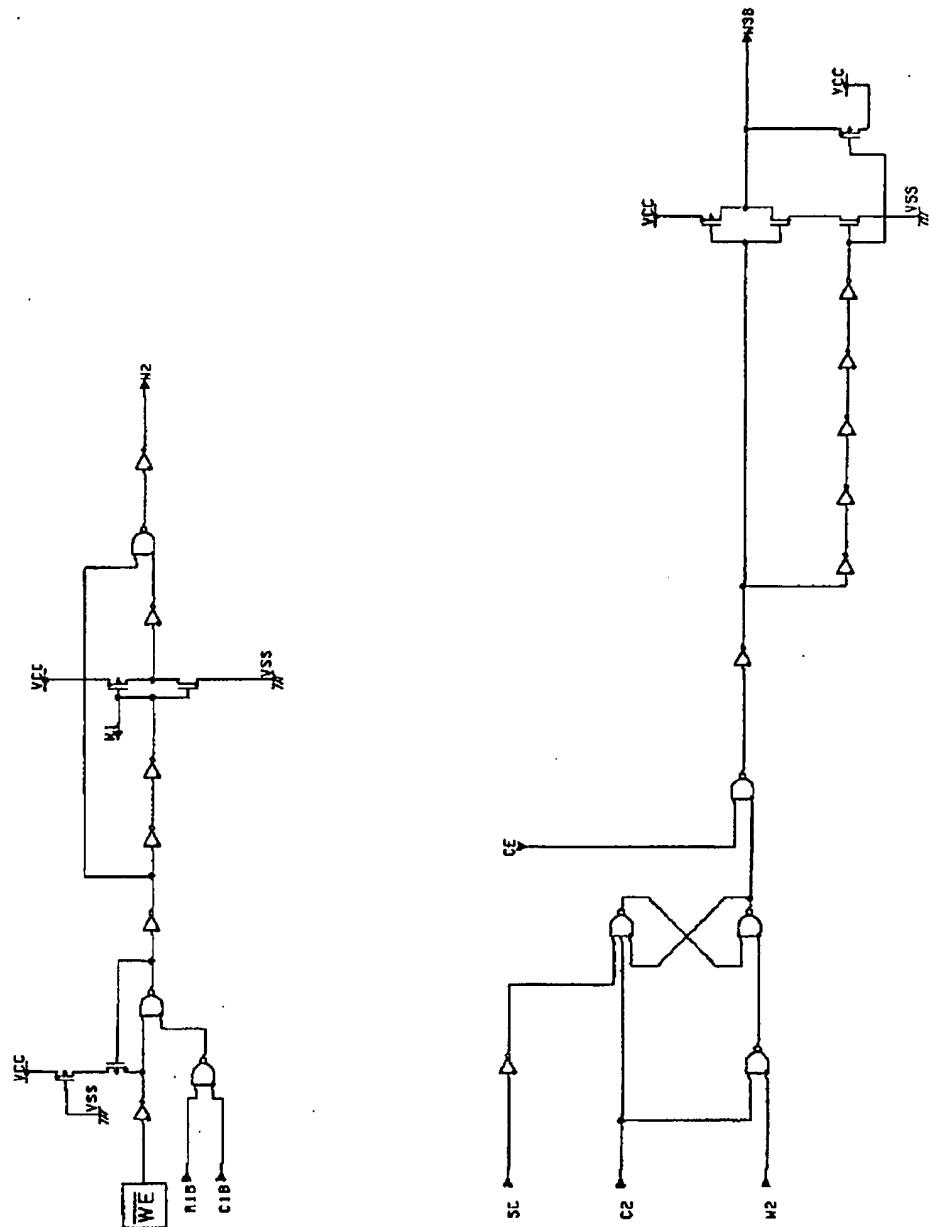
【図53】



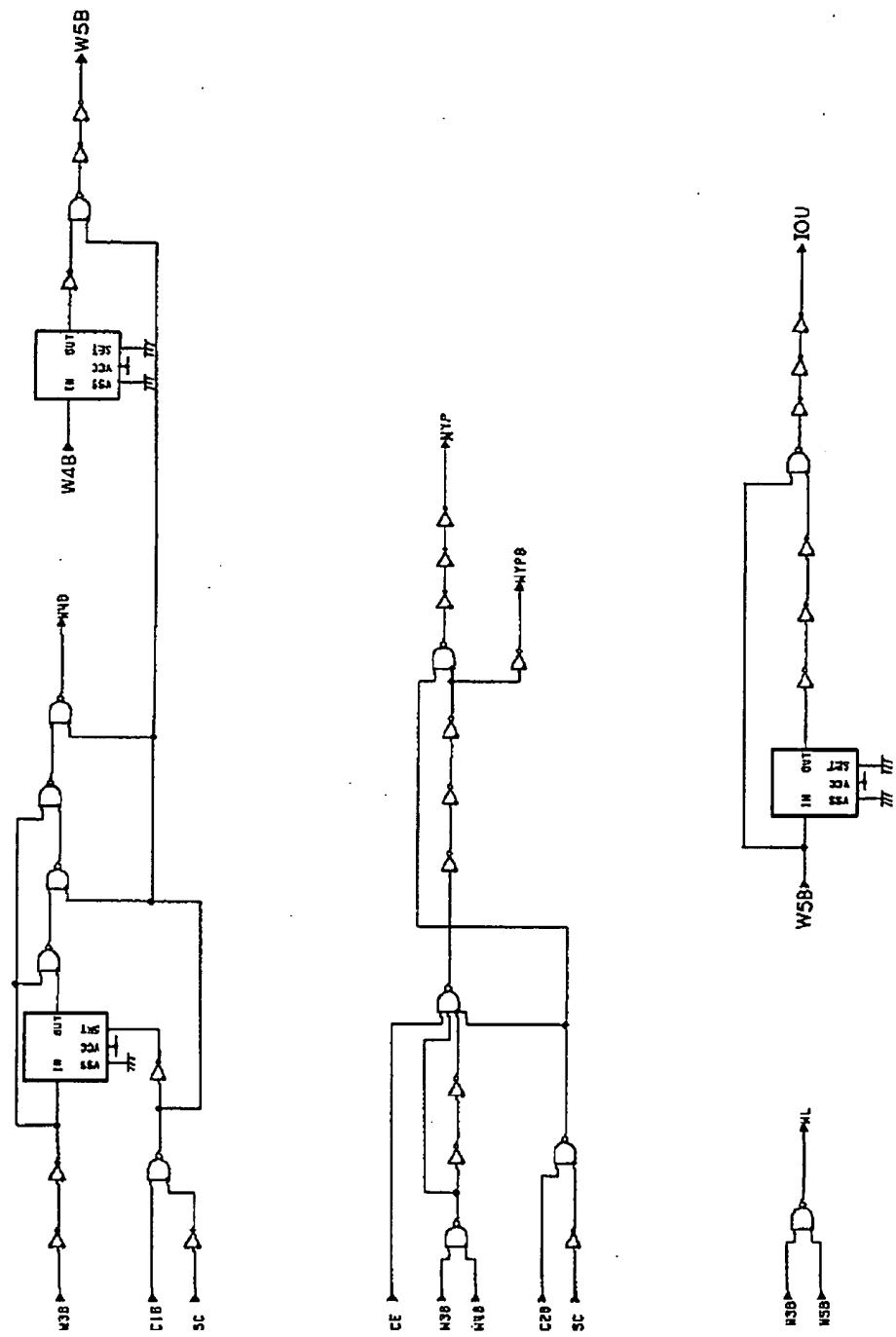
【図54】



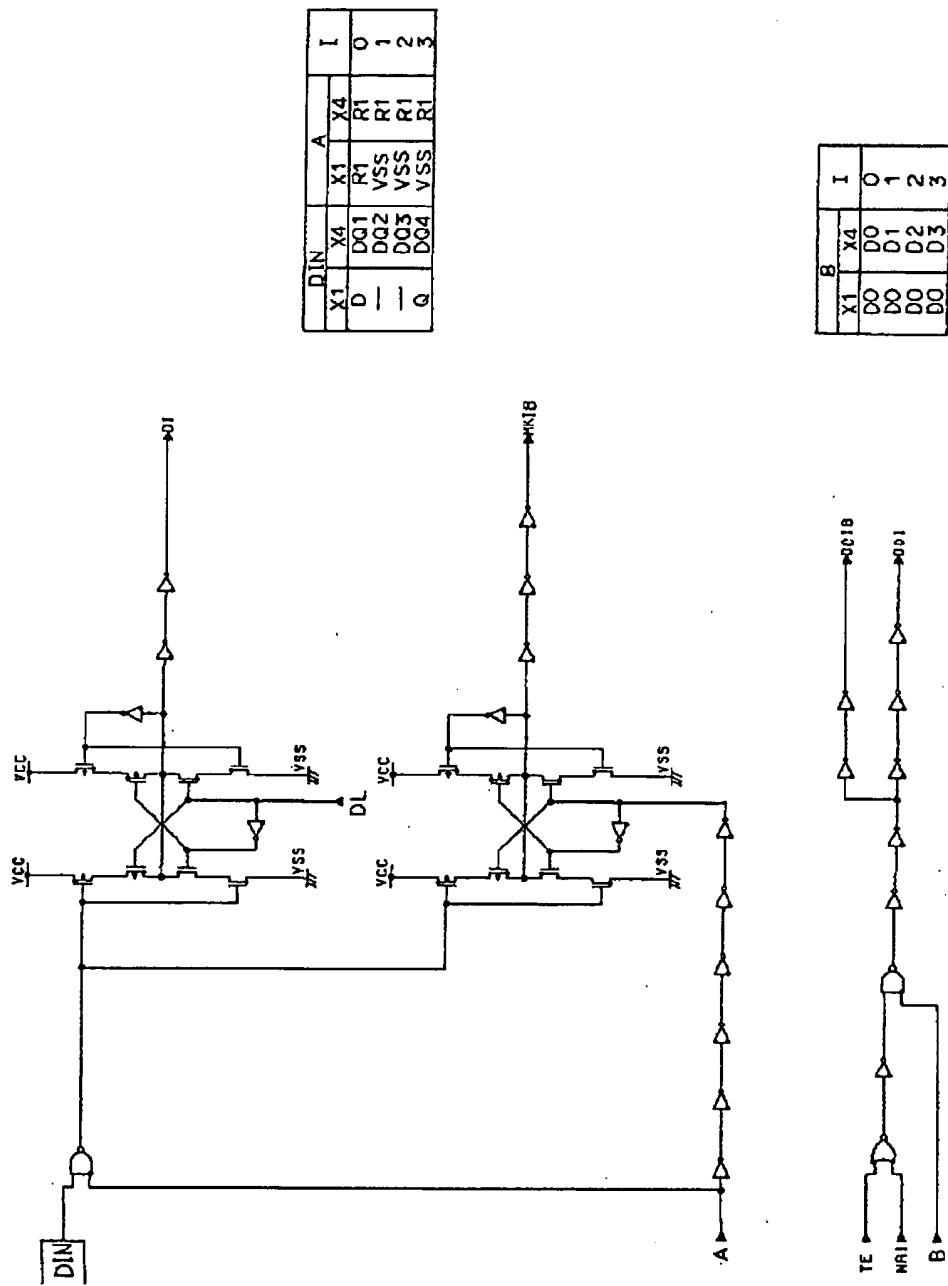
【図55】



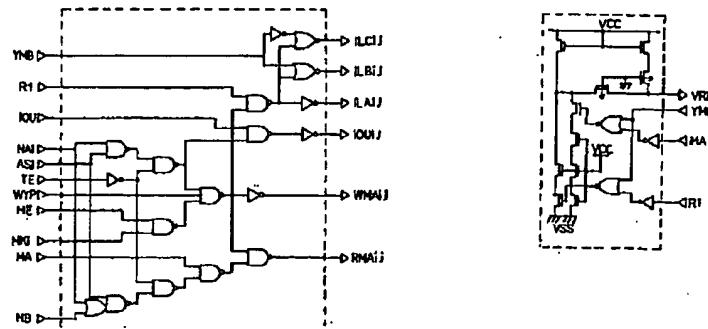
【図56】



【図57】

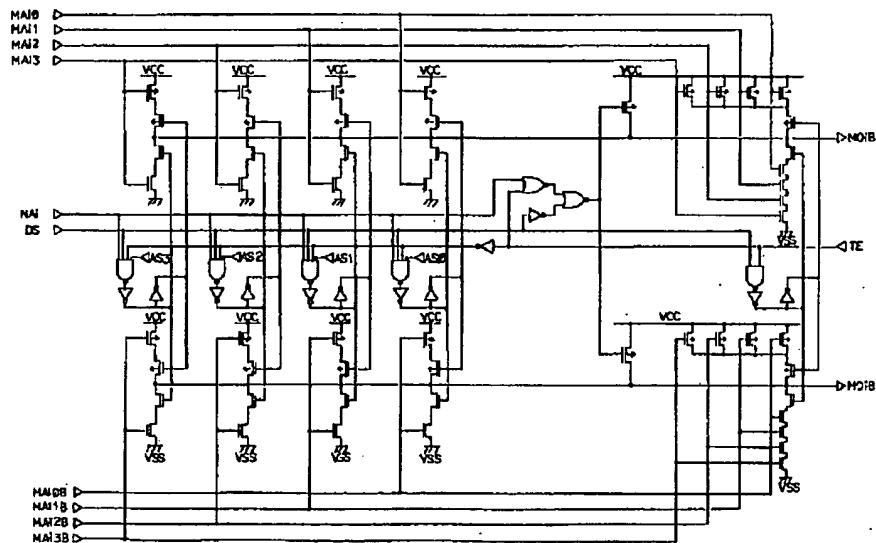


【図58】

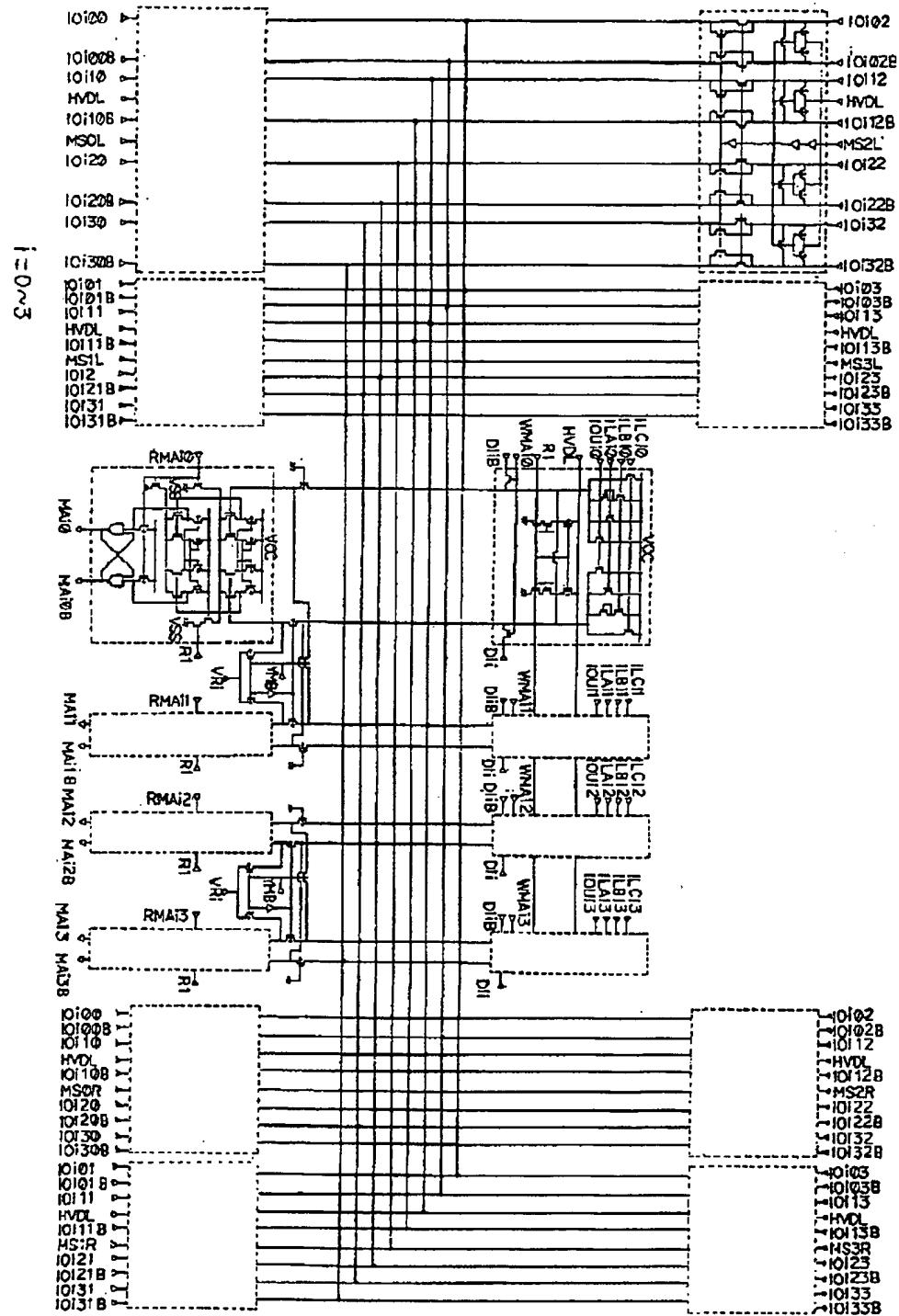


I=0 ~ 3
J=0 ~ 3

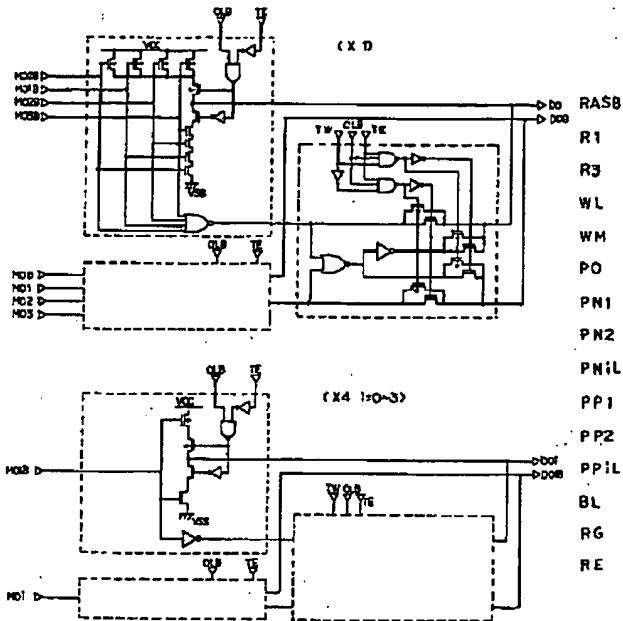
【図60】



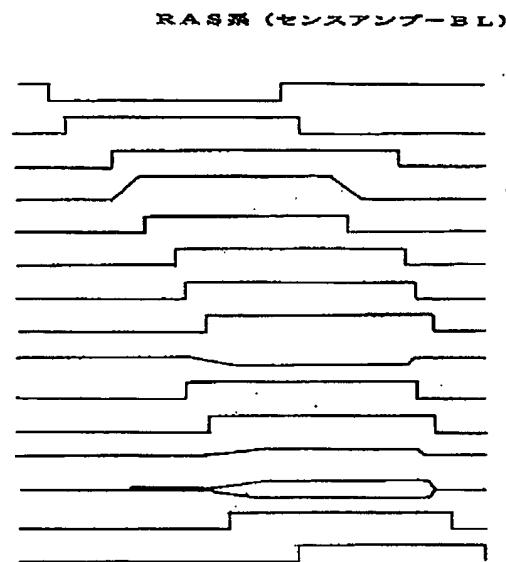
〔図59〕



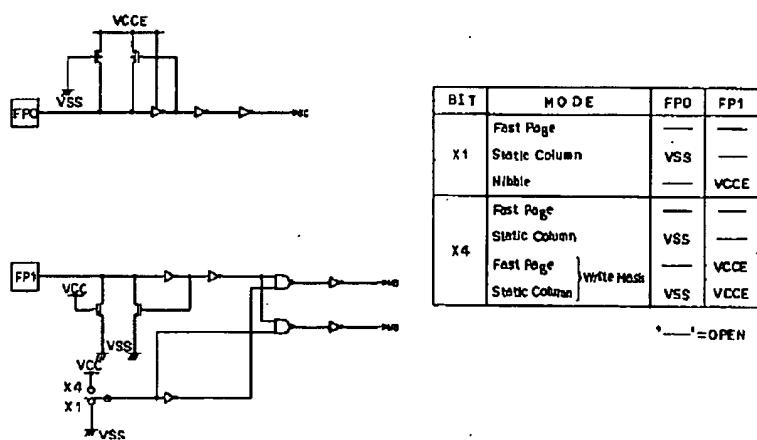
【図61】



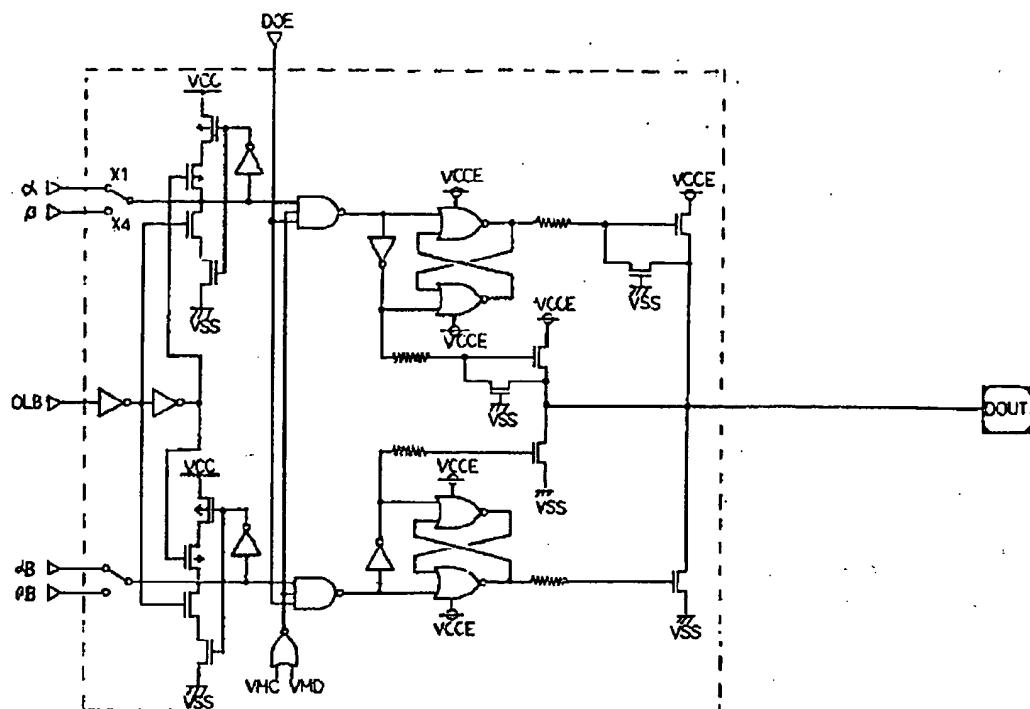
【図72】



〔図65〕

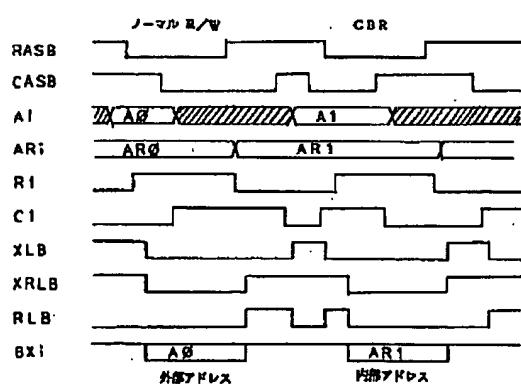


【図62】



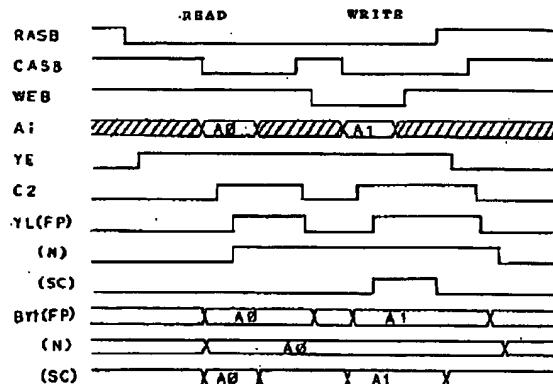
【図73】

RAS系(Xアドレスバスファ例御)

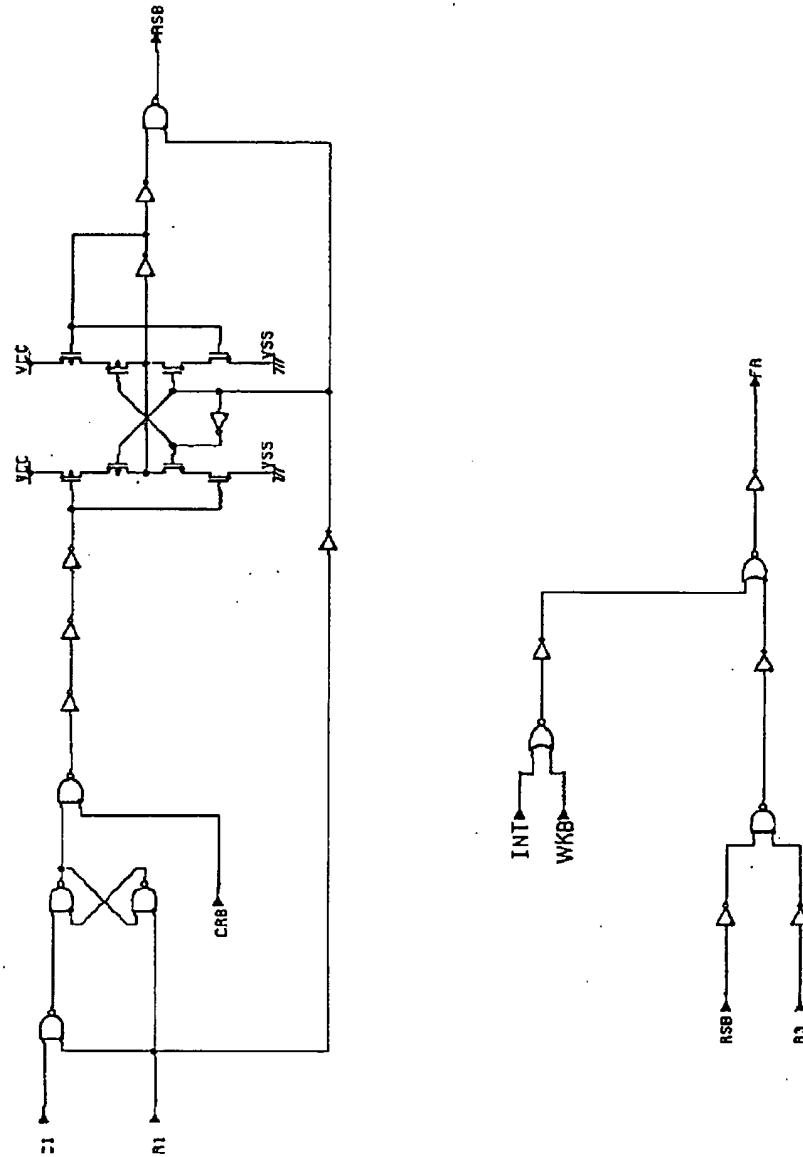


【図77】

CAS系(Yアドレスバスファ例御)

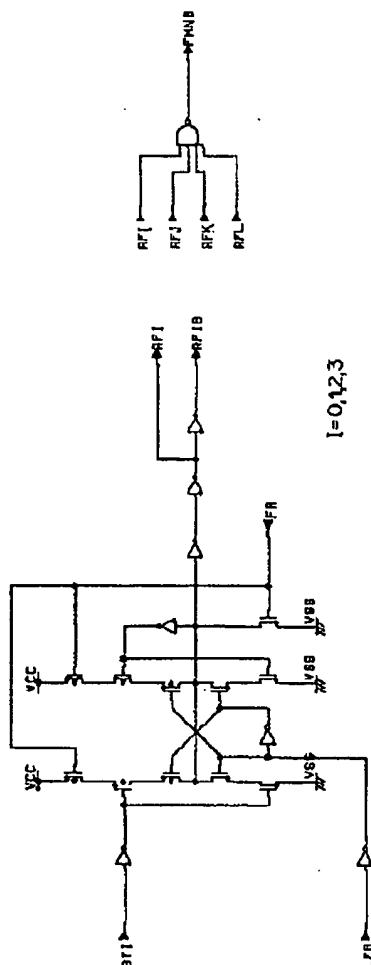


【図63】

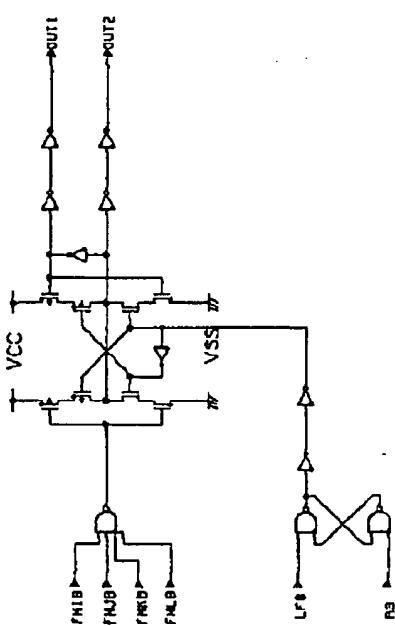


【図64】

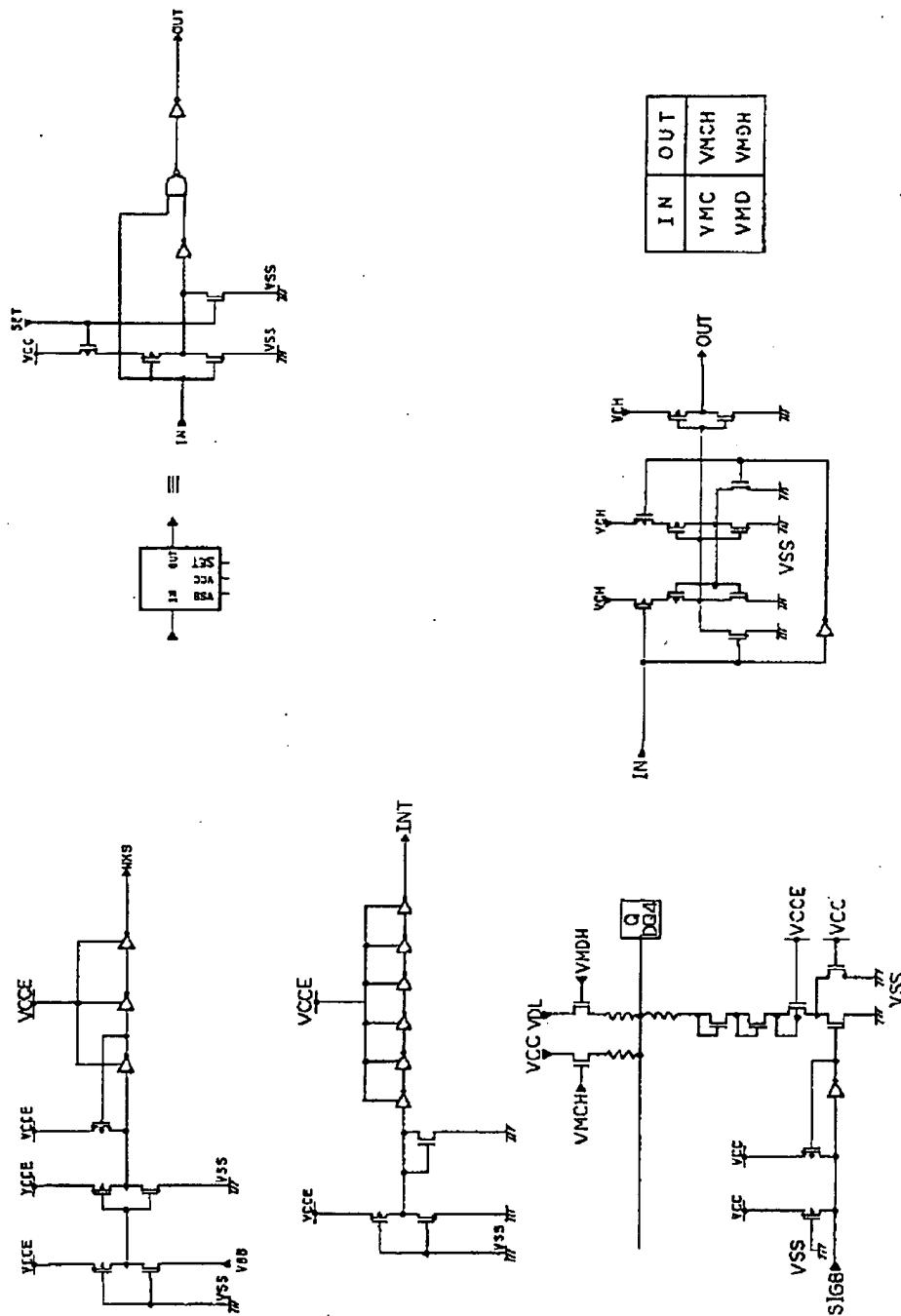
TEST MODE	1	J	K	L	N
16 Bits Parallel G3 States	0	1B	2B	3B	0
" " (2- 4)	0	1	2	3	1
64 Bits " G3- 4	1B	1	2B	3B	2
" " (2- 4)	0	1	2B	3B	3
Burn-In (VCC[VDD] → VCCF)	GB	1B	2	3B	4
VCC Monitor	OB	1	2	3B	5
VDL "	0	1	2	3B	6
2048 Refresh Cycle	OB	1B	2B	3	7
Spore Bits Check	0	1B	2B	3	8
Sense Amp. Margin	OB	1	2B	3	9



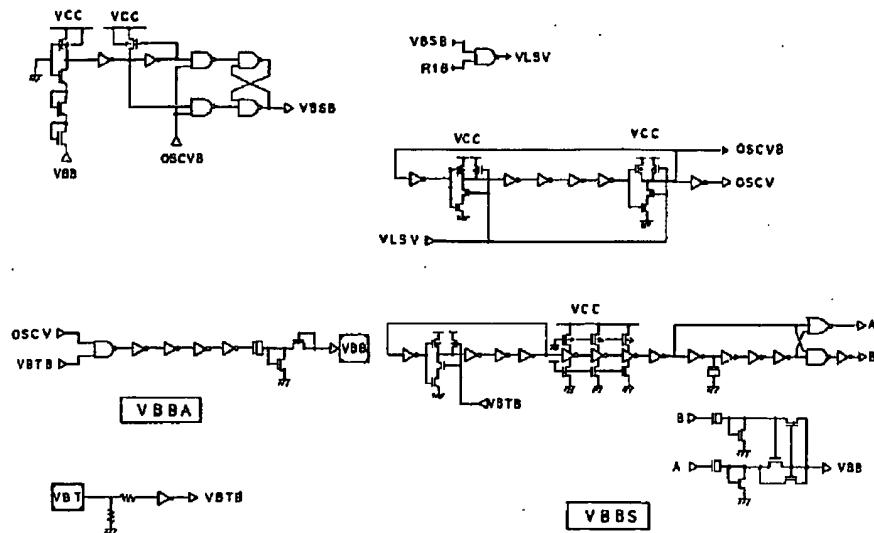
	I	J	K	L	QUT1	QUT2	
	0	1	2	3	1E	1W	
1	1	3	-	-			VMB
2	2	3	-	-			
4	4	-	-	-			VE
5	-	-	-	-			VHC
6	-	-	-	-			VMD
7	-	-	-	-			RC
8	-	-	-	-			\$TB
9	-	-	-	-			TS



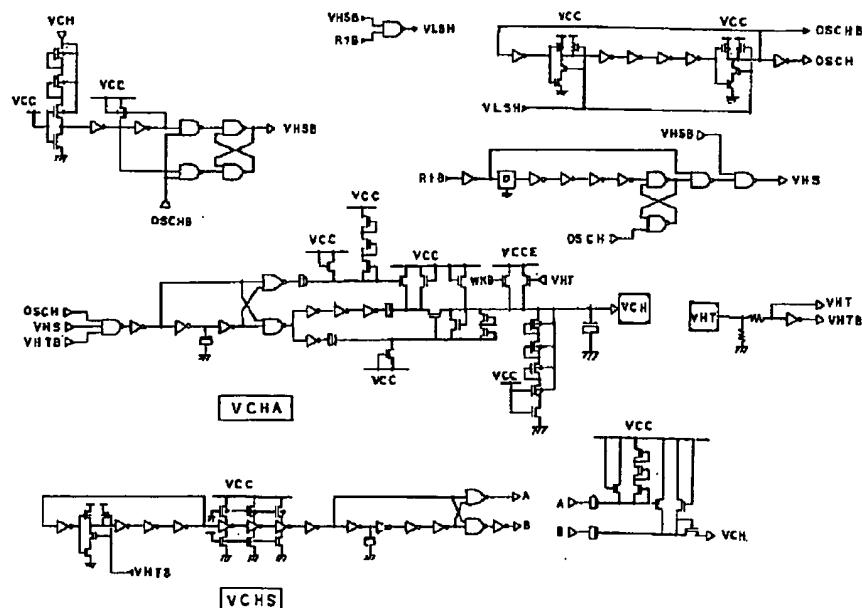
【図66】



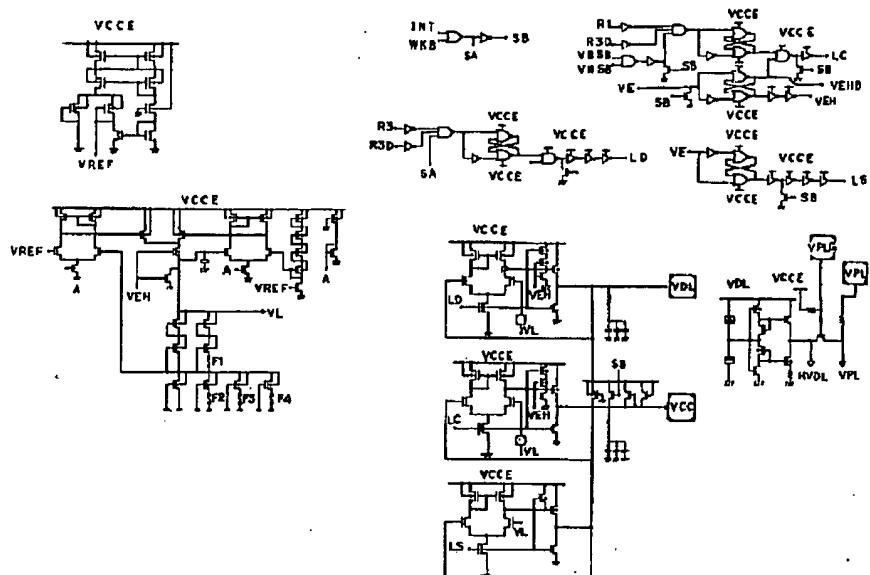
【図67】



【図68】

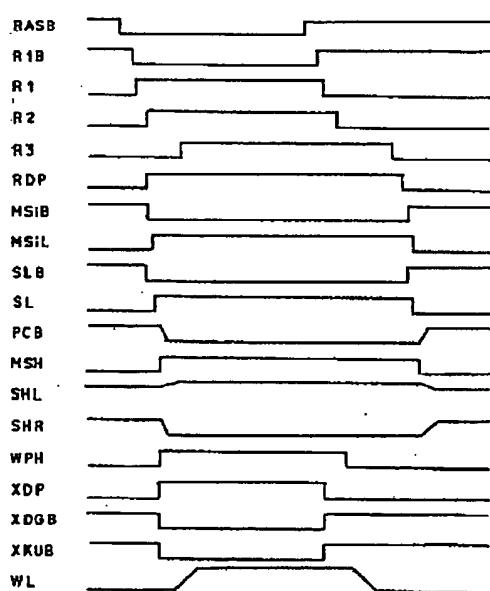


〔図69〕



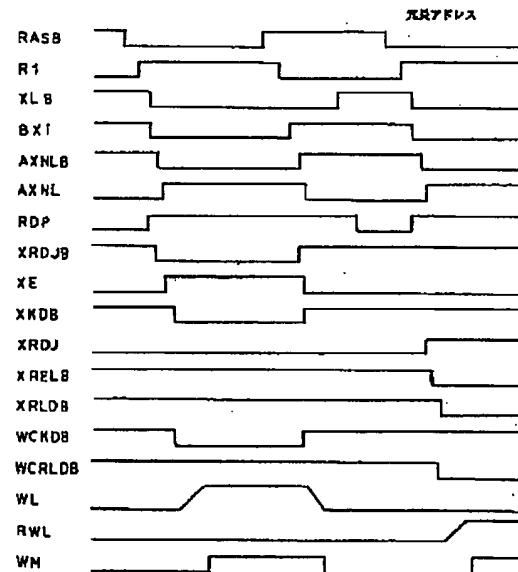
〔四〕

RAS系(クロックーWL)

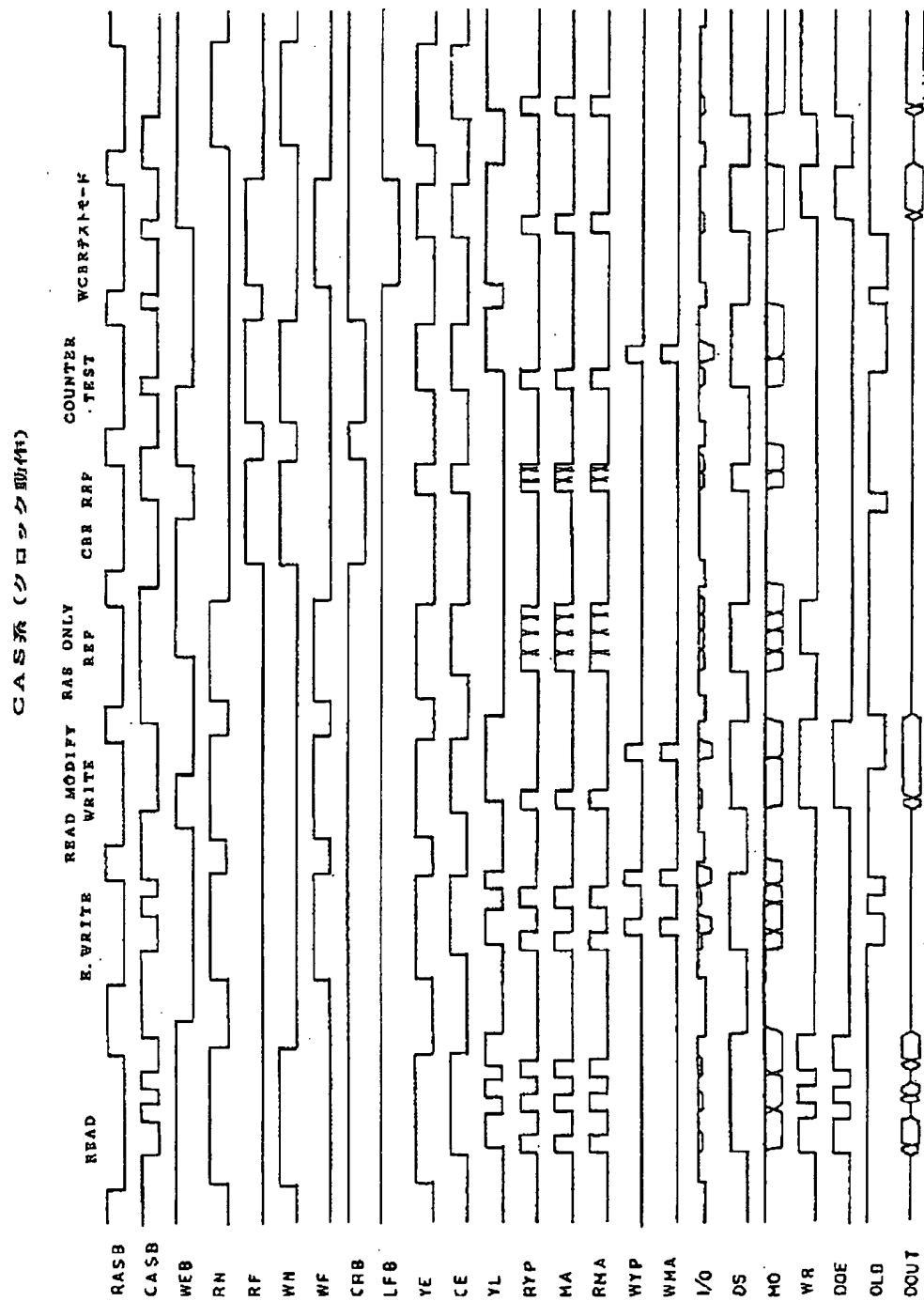


[図71]

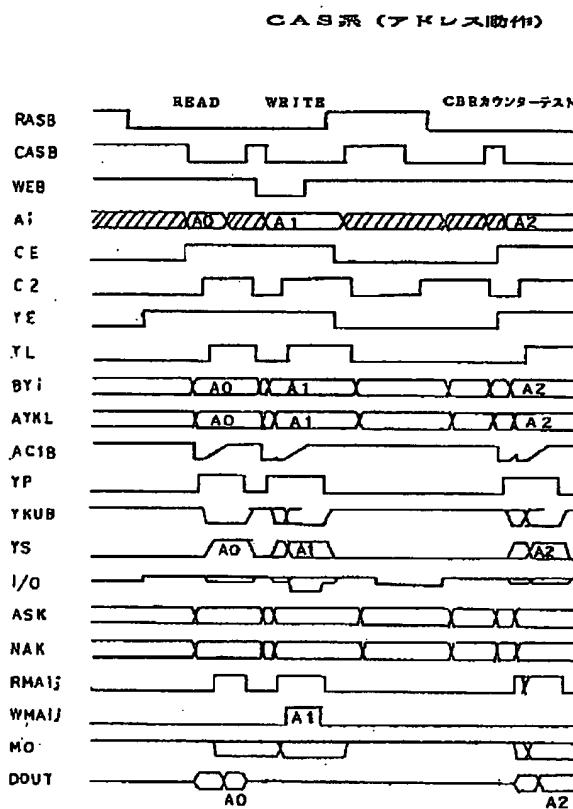
RAS系(アドレスーWL)



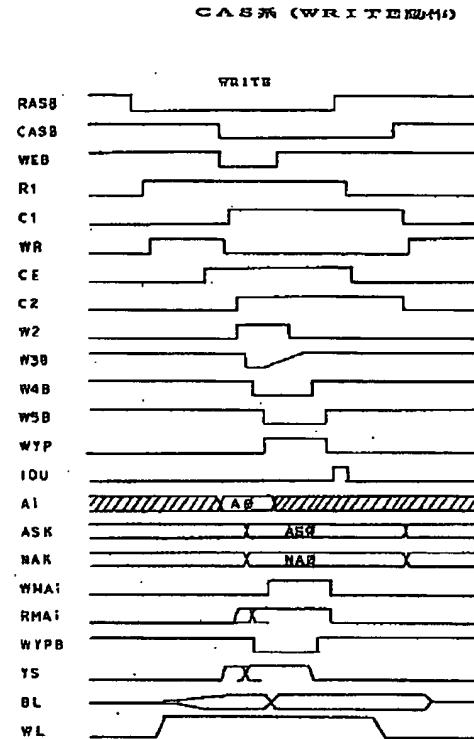
【図74】



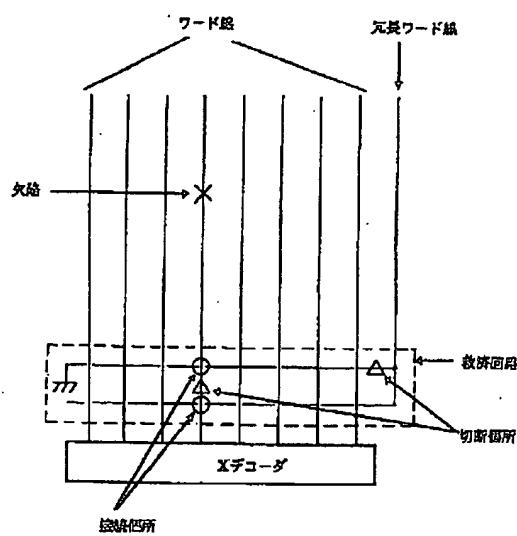
【図75】



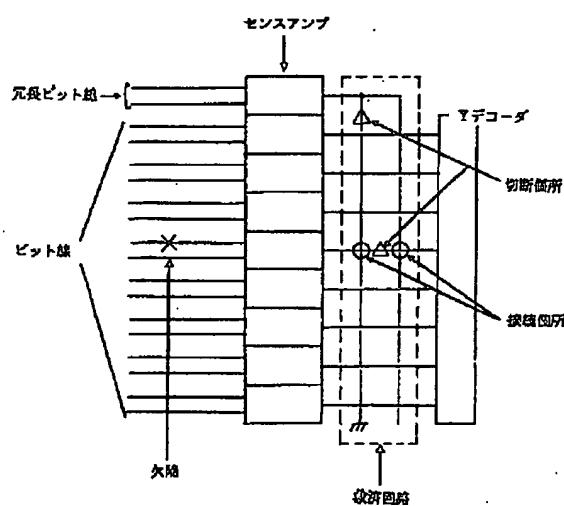
【図76】



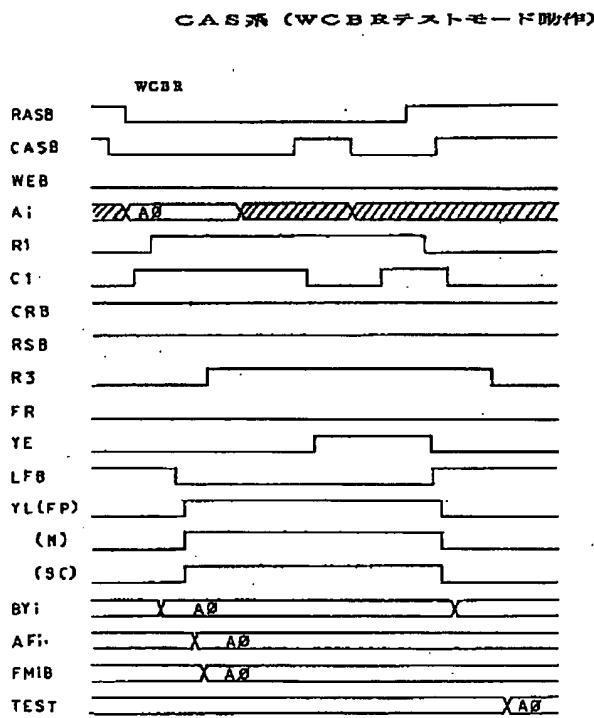
【図82】



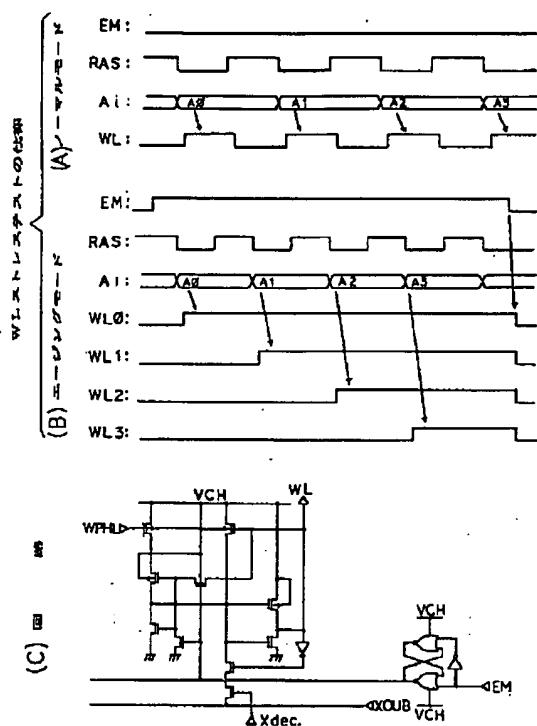
【図83】



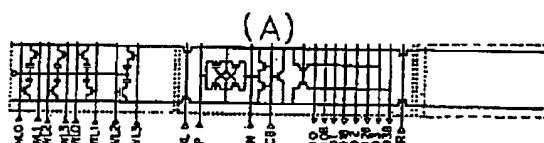
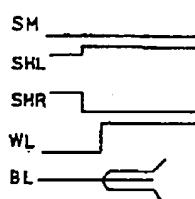
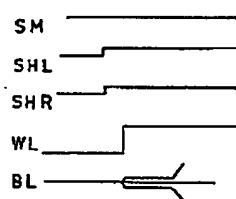
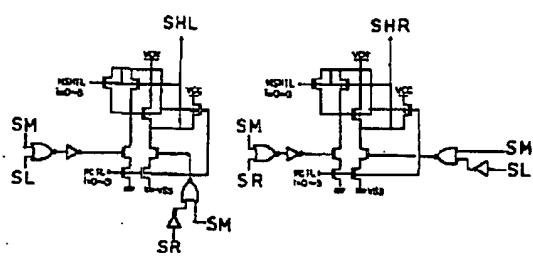
【図78】



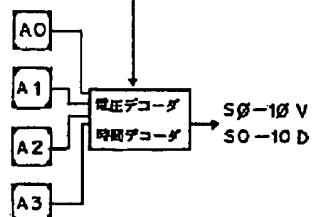
【図84】



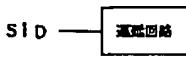
【図85】

**(B) ノーマルモード****(C) 信号量テストモード****(D) SHL/R発生回路**

ファンクションセット信号



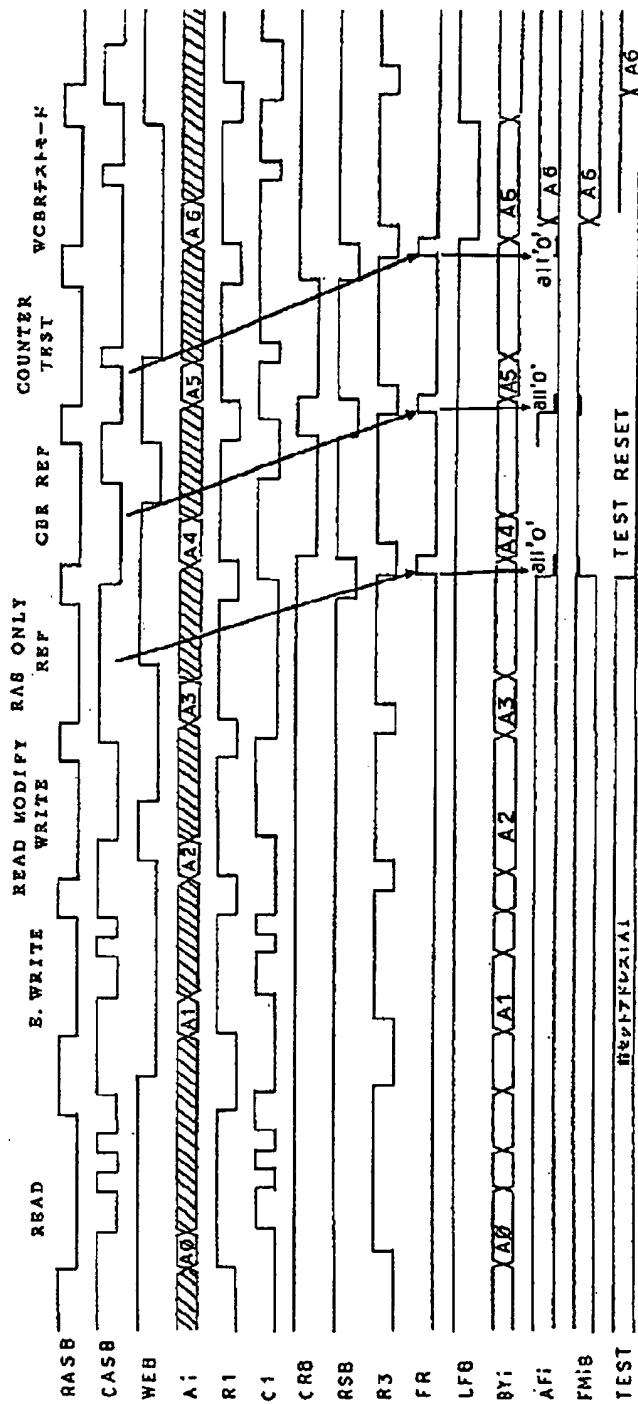
0, 1, 2--9, 10vまで、任意にセット



0, 1, 2--9, 10nsまで、任意にセット

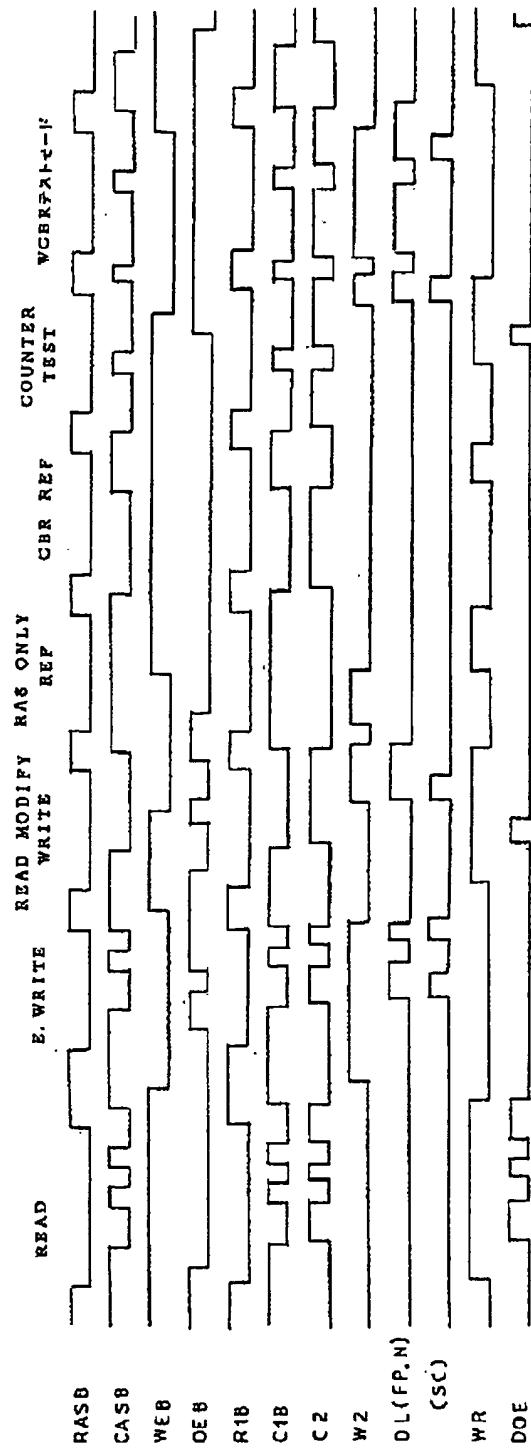
【図79】

CASB (テストモード:セレクト/リセット)



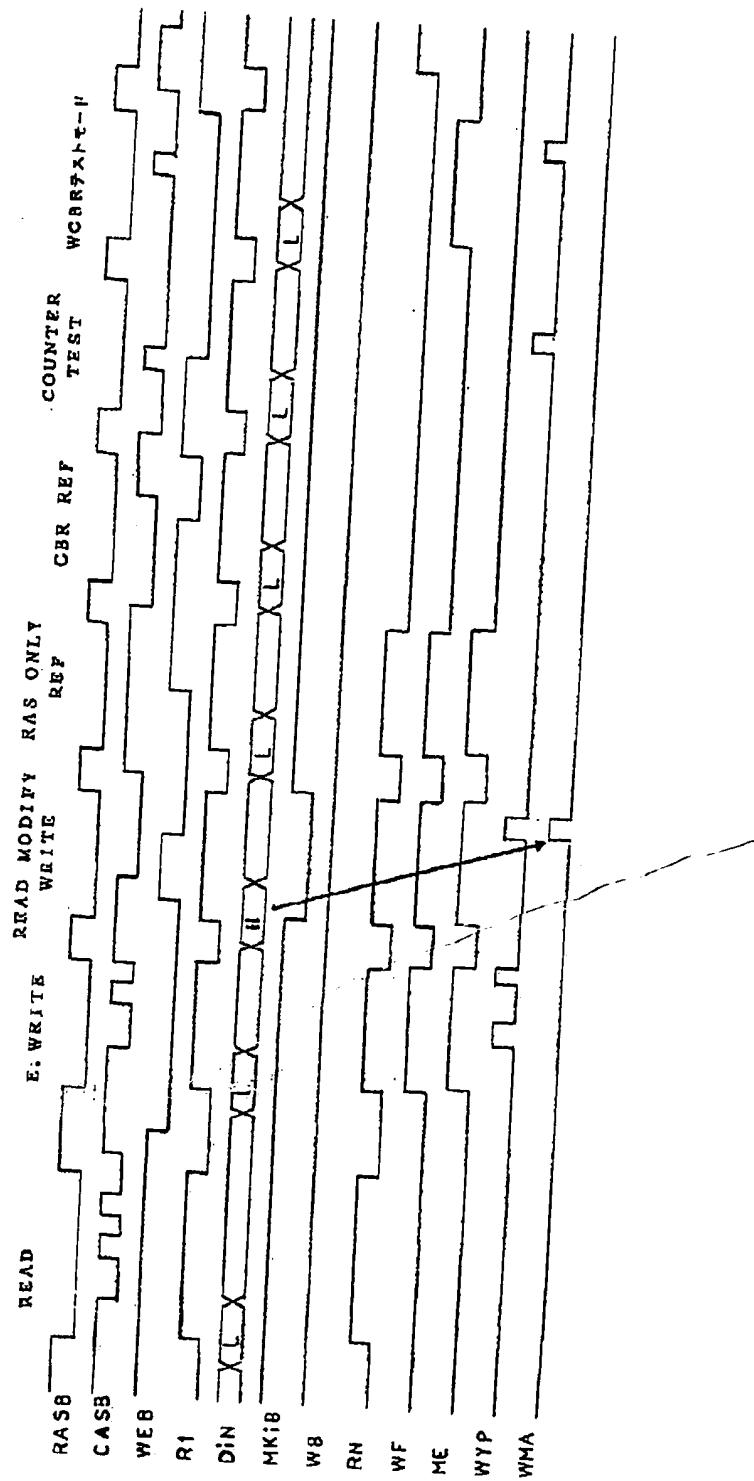
[図80]

CAS56 CX4—クロック動作

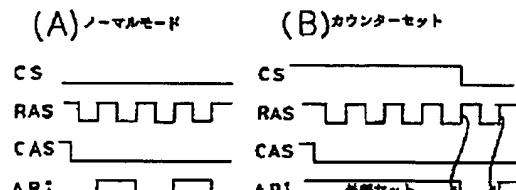


【図81】

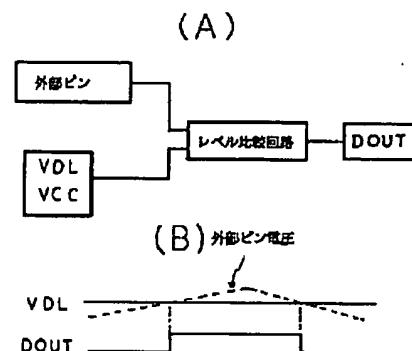
CAS系(ライタマスク動作)



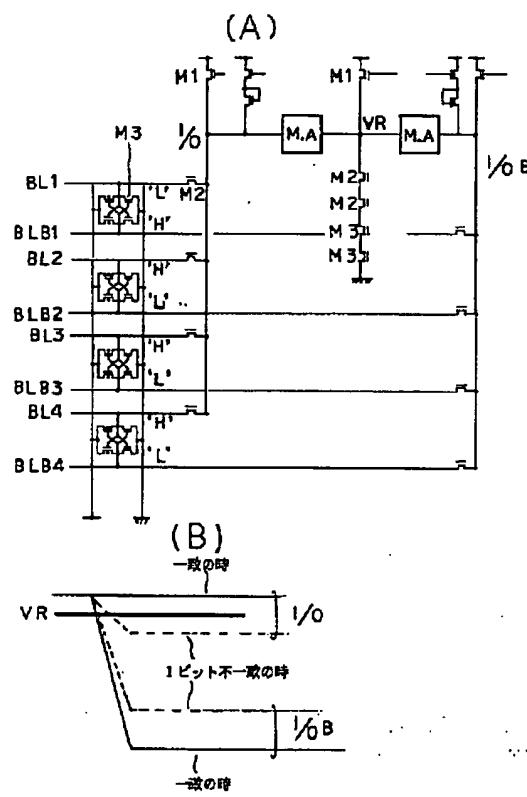
【図87】



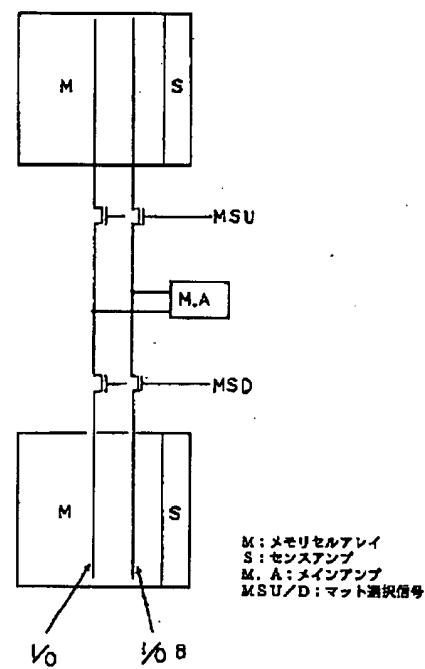
【図88】



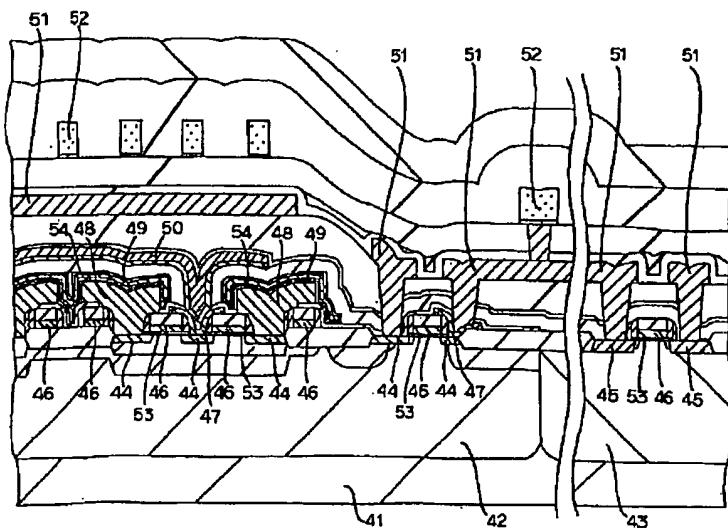
【図89】



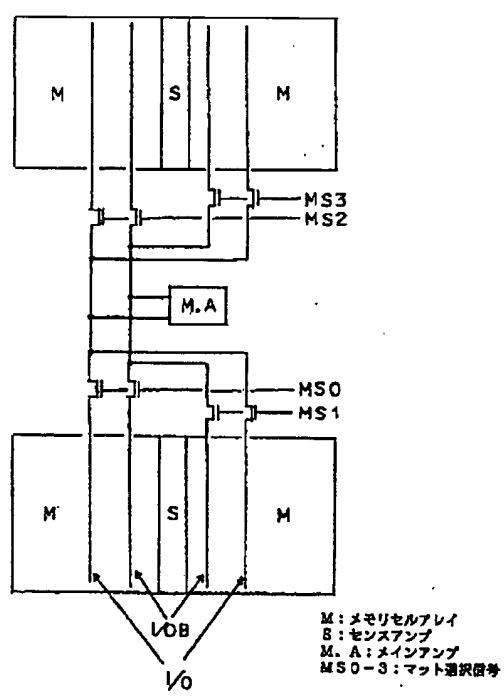
【図92】



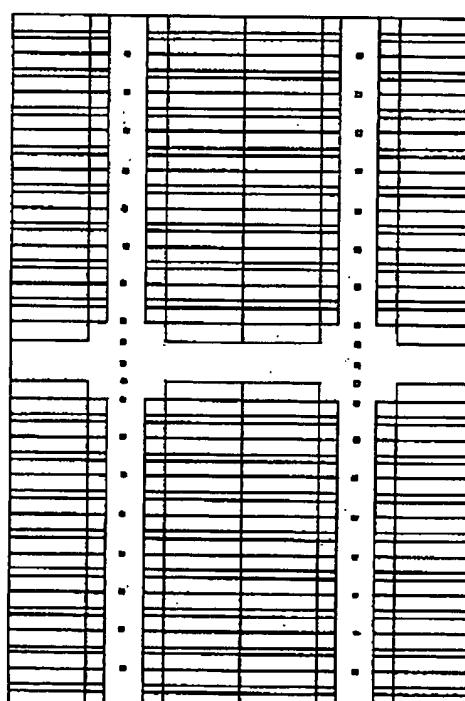
【図90】



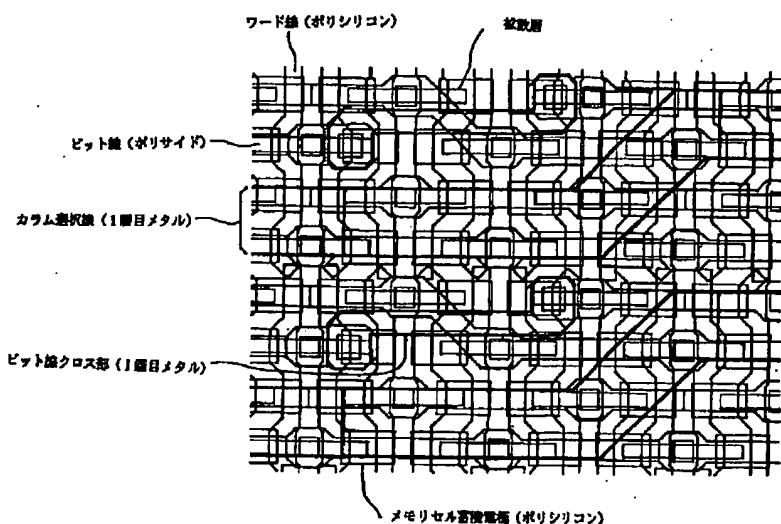
【図93】



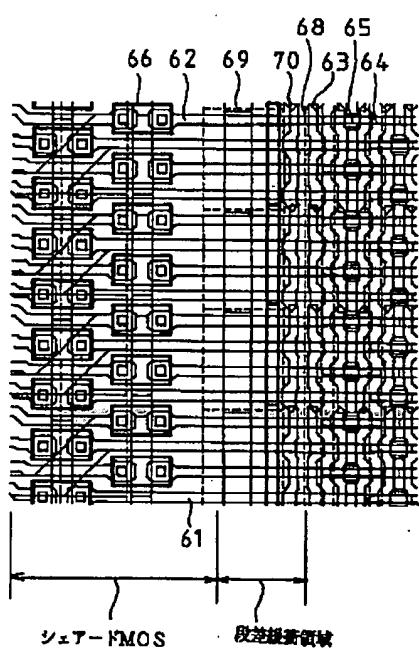
【図94】



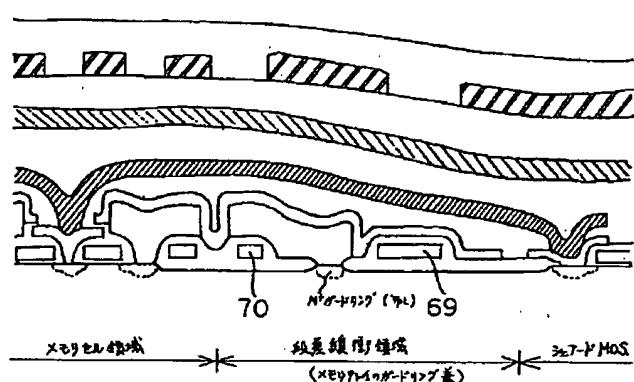
【図95】



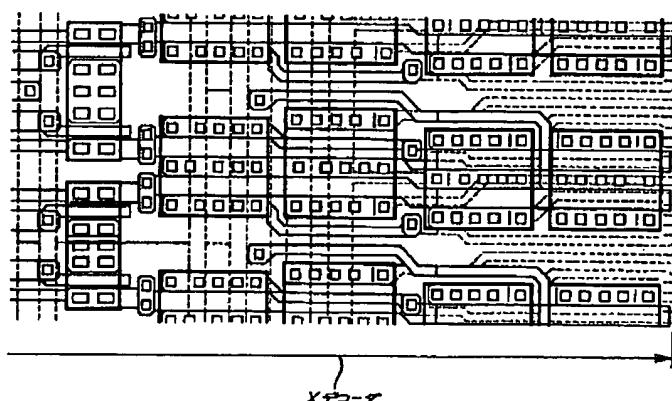
【図97】



【図100】

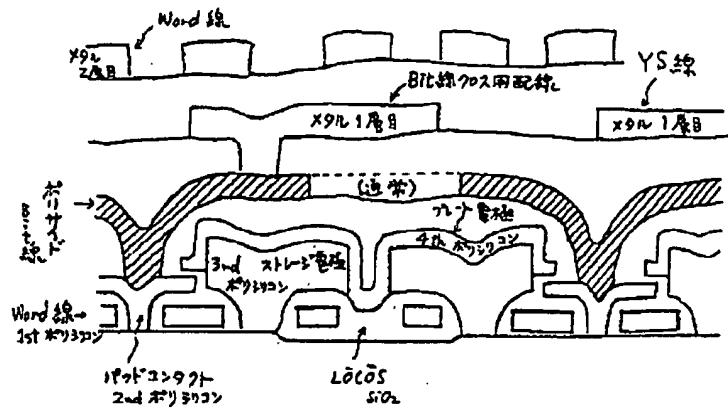


【図106】

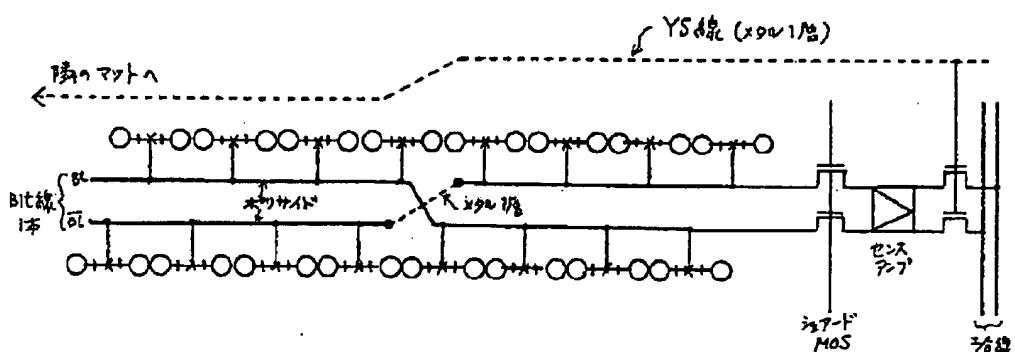


〔図96〕

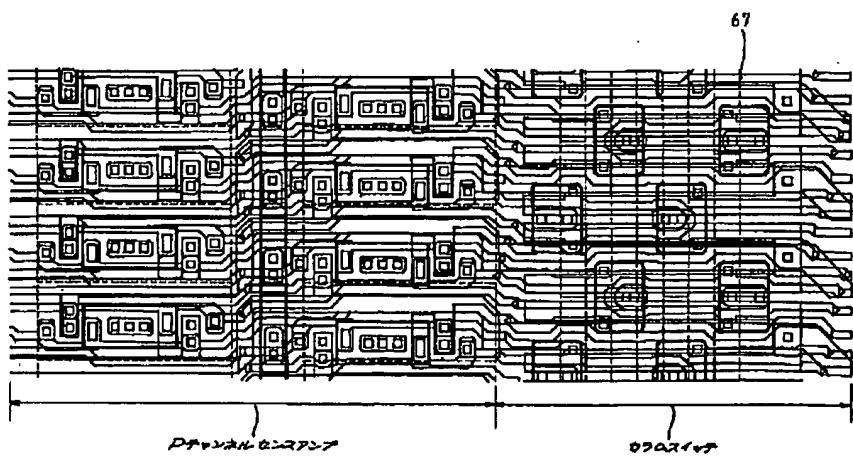
(A)



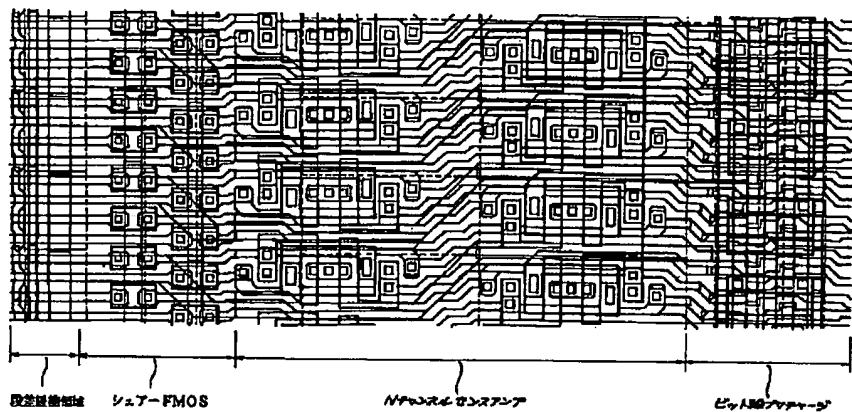
(B)



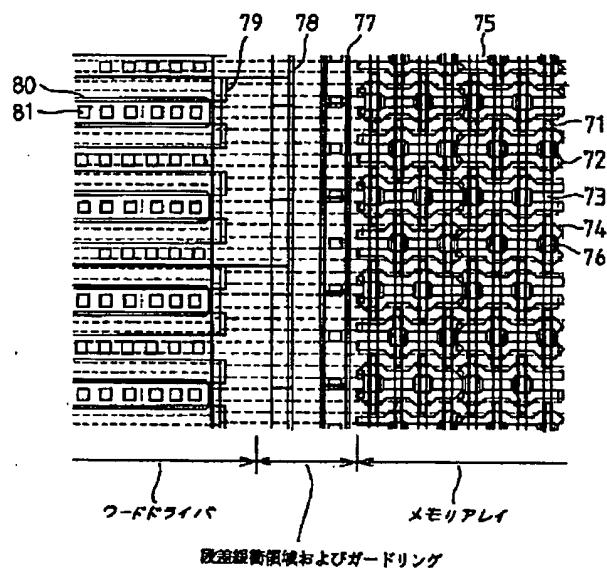
[图98]



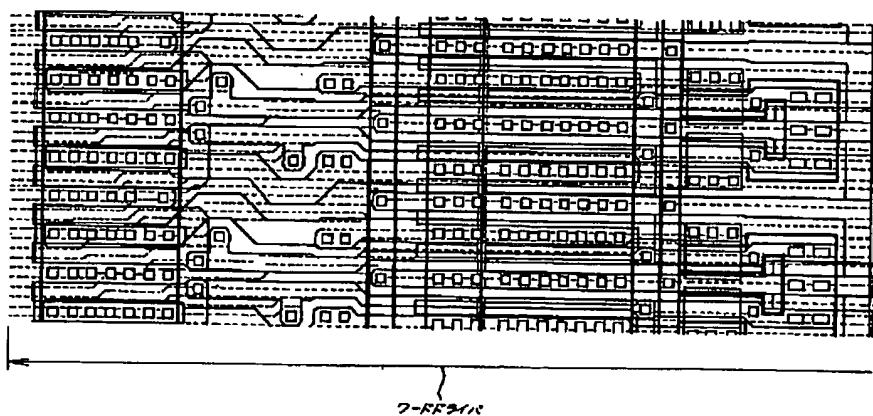
【図99】



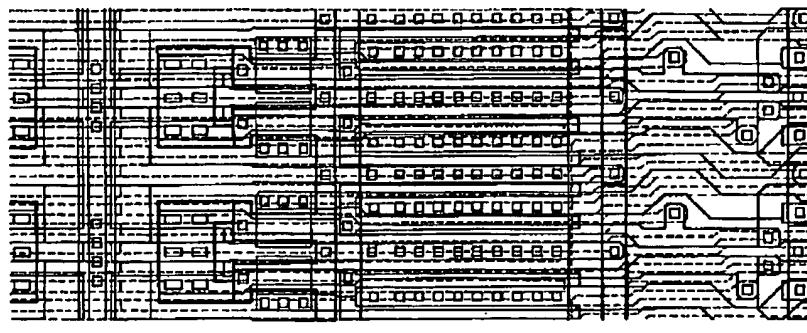
【図101】



【図105】

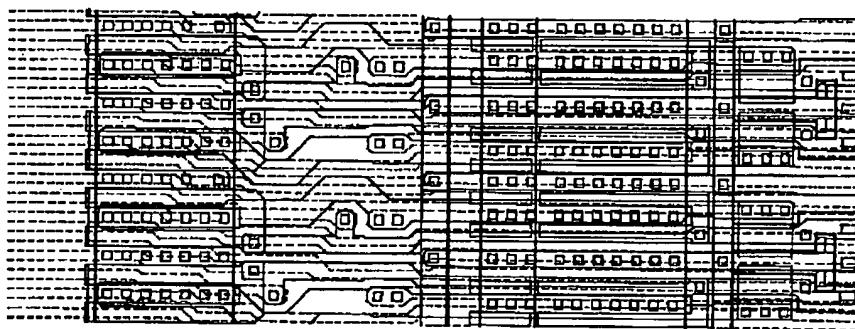


【図102】



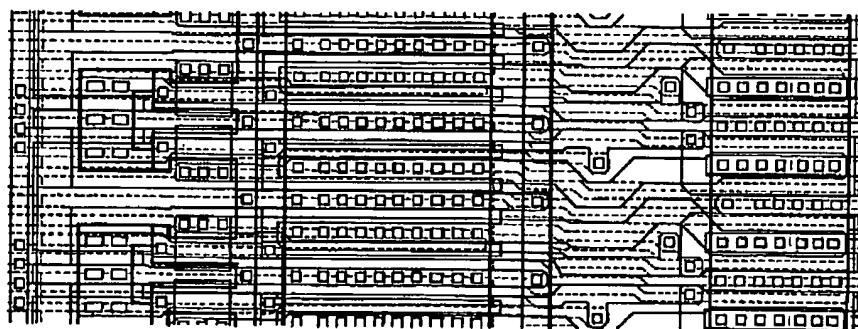
ワードライン

【図103】



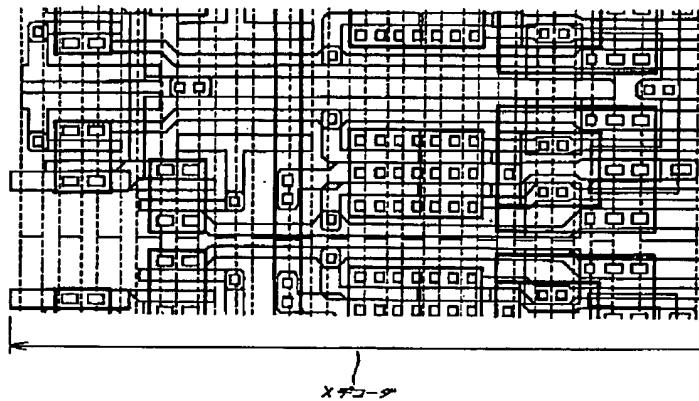
ワードライン

【図104】

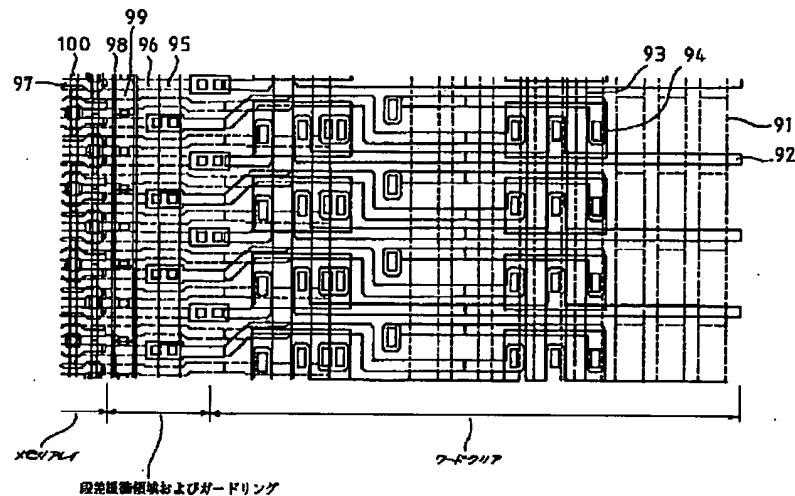


ワードライン

【図107】



【図108】



フロントページの続き

- | | |
|---|---|
| (72)発明者 山口 泰紀
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内 | (72)発明者 酒井 祐二
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内 |
| (72)発明者 大嶋 一義
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内 | (72)発明者 沢田 二郎
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内 |
| (72)発明者 山崎 隆
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内 | (72)発明者 衛藤 潤
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内 |
| (72)発明者 宮本 英治
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所武蔵工場内 | (72)発明者 堀口 真志
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内 |

(72)発明者 池永 伸一
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 熊田 淳
千葉県茂原市早野3300番地 株式会社日立
製作所茂原工場内

(72)発明者 角崎 学
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 笠間 靖裕
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所武藏工場内

(72)発明者 有働 信治
東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 吉岡 博志
東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 斎藤 博身
東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 高野 光広
東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 森野 誠
東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 宮武 伸一
東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 松本 哲郎
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内